

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Koji OZAKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: INFORMATION PROCESSING APPARATUS AND METHOD, STORAGE MEDIUM, PROGRAM AND IMAGING APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

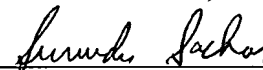
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-107351	April 11, 2003
Japan	2003-362812	October 23, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Bradley D. Lytle

Registration No. 40,073

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

Surinder Sachar
Registration No. 34,423

504P0522US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 7 3 5 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 7 3 5 1]

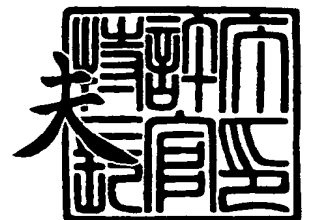
出 願 人 ソニー株式会社
Applicant(s):



2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 3 0 5 4



【書類名】 特許願

【整理番号】 0390043905

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/02

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 尾崎 浩治

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100082131

 【弁理士】

 【氏名又は名称】 稲本 義雄

 【電話番号】 03-3369-6479

【手数料の表示】

 【予納台帳番号】 032089

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9708842

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 情報処理装置および方法、記録媒体、プログラム、並びに撮像装置

【特許請求の範囲】

【請求項 1】 演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段とを備える情報処理装置において、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備え、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段は、前記転送手段の前記仮想アドレス空間を、アドレスが相互に重複しない単一の前記物理アドレス空間に変換する

ことを特徴とする情報処理装置。

【請求項 2】 前記転送手段は、前記命令を転送する命令バスと、前記データを転送するデータバスの 2 個で構成され、

前記記憶手段へのアクセスを伴う命令の仮想アドレスと、前記命令によりアクセスされるデータの仮想アドレスとの差は、前記命令中のオペランドによって相対アドレスとして直接指定できる距離以下である

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 前記転送手段ごとに、前記仮想アドレスをタグとして用いるキャッシュをさらに備える

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 4】 前記転送手段を識別してキャッシュデータを特定するキャッシュをさらに備える

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 5】 前記記憶手段は、書き込み禁止領域および書き込み可能領域により構成され、

前記記憶手段へのアクセスを伴う命令中のオペランドによって相対アドレスとして直接指定できる範囲の仮想アドレス空間に、前記書き込み禁止領域と書き込み可能領域の両方の仮想アドレスが配置されている

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 6】 前記記憶手段は、少なくとも 1 つの I / O (Input / Output) レジスタにより構成され、

前記 I / O レジスタへのアクセスを伴う前記命令の仮想アドレスと、前記 I / O レジスタを示す仮想アドレスとの差は、前記命令中のオペランドによって相対アドレスとして直接指定できる距離以下である

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 7】 同一の前記 I / O レジスタを示す仮想アドレスは、前記仮想アドレス空間において複数の領域に分けて配置される

ことを特徴とする請求項 6 に記載の情報処理装置。

【請求項 8】 前記アドレス変換手段は、前記仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、変換後の上位 n ビットと残りの下位 m ビットのうちの、少なくとも 1 ビット以上を入れ替えて、前記仮想アドレスを前記物理アドレスに変換する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 9】 前記アドレス変換手段は、前記仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、残りの下位の m ビットのうちの、少なくとも 1 ビット以上を入れ替えて、前記仮想アドレスを前記物理アドレスに変換する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 10】 演算を実行する演算手段と、
前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転

送する複数個の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備える情報処理装置の情報処理方法において、

前記転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段には、前記転送手段の前記仮想アドレス空間を、アドレスが相互に重複しない単一の前記物理アドレス空間に変換させる変換ステップを備える

ことを特徴とする情報処理方法。

【請求項 11】 前記転送手段が有する前記独立の仮想アドレス空間が、前記他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップを

さらに備えることを特徴とする請求項 10 に記載の情報処理方法。

【請求項 12】 演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数個の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備える情報処理装置のプログラムであって、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段には、前記転送手段の前記仮想アドレス空間を、アドレスが相互に重複しない単一の前記物理アドレス空間に変換させる変換ステップを備える

ことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【請求項 1 3】 前記転送手段が有する前記独立の仮想アドレス空間が、前記他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップを

さらに備えることを特徴とする請求項 1 2 に記載の記録媒体。

【請求項 1 4】 演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備える情報処理装置を実行させるプログラムであって、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段には、前記転送手段の前記仮想アドレス空間を、アドレスが相互に重複しない単一の前記物理アドレス空間に変換させる変換ステップを備える

ことを特徴とするプログラム。

【請求項 1 5】 前記転送手段が有する前記独立の仮想アドレス空間が、前記他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップを

さらに備えることを特徴とする請求項 1 4 に記載のプログラム。

【請求項 1 6】 被写体を撮像する撮像手段と、

前記撮像手段により撮像された被写体の画像データを符号化する符号化手段と、
前記符号化手段が前記画像データを符号化処理するための命令またはデータを指令する演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための前記命令またはデータを記憶する記憶手段とを備える撮像装置において、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転

送する複数個の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備え、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段は、前記転送手段の前記仮想アドレス空間を、アドレスが相互に重複しない単一の前記物理アドレス空間に変換し、

前記符号化手段は、前記演算手段により指定され、前記アドレス変換手段により変換されたアドレスに対応する前記記憶手段の前記命令またはデータに基づいて、前記画像データの符号化処理を実行する

ことを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置および方法、記録媒体、プログラム、並びに撮像装置に関し、特に、データアクセスの効率を向上させ、命令実行速度の向上を図ることができるようにした情報処理装置および方法、記録媒体、プログラム、並びに撮像装置に関する。

【0002】

【従来の技術】

従来、特許文献 1 に示されるように、命令とデータのバスが分離された情報処理装置が存在する。このような情報処理装置においては、1 つの仮想アドレス空間を用いて、メモリに、命令とデータの転送を行っていた。すなわち、CPU では、命令は、仮想アドレス空間を用いて、命令バスで転送を行い、データは、同一の仮想アドレス空間を用いて、データバスで転送を行っていた。

【0003】

図 1 は、従来の仮想アドレス空間と物理アドレス空間の構成例を示している。図 1 においては、仮想アドレス空間 1 は、CPU (Central Processing Unit)

から見えるメモリのアドレス空間であり、物理アドレス空間 2 は、実際のメモリの物理アドレス空間である。なお、図 1 の例においては、仮想アドレス空間 1 と物理アドレス空間とが 1 対 1 に対応しているが、複数の仮想アドレス空間と 1 つの物理アドレス空間とが、複数対 1 で対応している場合もある。

【0004】

図 1 の例の場合、仮想アドレス空間 1 は、アドレス順に、命令とデータの仮想アドレスが混在して配置されているアドレス領域 1-1 乃至 1-5、およびデータのみの仮想アドレスが配置されているアドレス領域 1-6 乃至 1-8 により構成される。なお、各領域の命令またはデータは、アドレス変換の最小単位（例えば、4 k バイト）であるページサイズ単位で配置されている。

【0005】

仮想アドレス空間 1 のアドレス領域 1-1 に配置されている命令とデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-1 に記憶されている。仮想アドレス空間 1 のアドレス領域 1-2 に配置されている命令とデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-2 に記憶されている。仮想アドレス空間 1 の領域 1-3 に配置されている命令とデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-6 に記憶されている。仮想アドレス空間 1 の領域 1-4 に配置されている命令とデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-4 に記憶されている。

【0006】

また、仮想アドレス空間 1 のアドレス領域 1-5 に配置されている命令とデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-3 に記憶されている。仮想アドレス空間 1 のアドレス領域 1-6 に配置されているデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-5 に記憶されている。仮想アドレス空間 1 のアドレス領域 1-7 に配置されているデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-8 に記憶されている。仮想アドレス空間 1 のアドレス領域 1-8 に配置されているデータのページは、実際には、物理アドレス空間 2 のアドレス領域 2-7 に記憶されている。

【0007】

以上のように、仮想アドレス空間 1 と物理アドレス空間 2 において、仮想アドレスと物理アドレスが 1 対 1 に対応している。したがって、CPU が、仮想アドレス空間 1 を参照して、命令またはデータの仮想アドレスを指定すると、指定された仮想アドレスは、対応する物理アドレスに変換される。そして、変換された物理アドレスに対応する命令またはデータが、メモリから読み出されて、CPU に転送される。このようにして、CPU は、自分が指定した仮想アドレスの命令を実行することができる。

【0008】

しかしながら、従来は、命令を転送する場合にも、データを転送する場合にも、図 1 に示される同一の仮想アドレス空間を参照しており、また、命令で使用する長いデータなどは別途データとして保持する必要があるため、命令とデータの仮想アドレスは、混在して仮想アドレス空間に配置されてしまう。

【0009】

図 2 は、図 1 の仮想アドレス空間 1 のアドレス領域 1-1 の構成例を示す。図 2 の例の場合、アドレス領域 1-1 は、上から順に、命令 1 乃至 4、ジャンプ命令 1、データ 1、データ 2、および命令 5 乃至命令 9 が記憶された仮想アドレスで構成されている。CPU は、アドレス領域 1-1 の仮想アドレスを指定し、その仮想アドレスに記憶された命令を実行する。すなわち、CPU は、例えば、命令 1 乃至命令 9 の仮想アドレスを指定して、命令 1 から順に命令を実行していく。しかしながら、図 2 の例においては、命令 4 と命令 5 の仮想アドレスの間の仮想アドレスに、データ 1 およびデータ 2 が記憶されている。したがって、命令 1 から順に実行をしていくと、命令 4 の次に、命令 5 を実行するために、命令 4 から命令 5 まで無条件に分岐するためのジャンプ命令 1 を、命令 4 が記憶された仮想アドレスの直後の仮想アドレスに配置する必要がある。

【0010】

また、図 3 に示されるように、命令 3 によって、データ 3 を読み出したい場合に、データ 3 が記憶された仮想アドレスが命令 3 のオペランドで指定不可能な距離 d_2 (命令 3 の仮想アドレスから遠い距離 d_2) の仮想アドレスに記憶されているときには、命令 3 のオペランドにおいて、データ 3 を直接指定することがで

きない。このためデータ 3 を読み出すには、データ 3 の相対アドレスとしてのデータ 2 を、命令 3 から直接オペランド指定可能な距離 d 1 にある仮想アドレスに一旦保持させる必要がある。この場合、命令 3 によって、データ 2 として保持されているデータ 3 の相対アドレスを読み出し、その相対アドレスに従って、命令 4 により、データ 3 を読み出すことができる。しかしながら、直接指定する場合と較べて、命令が 2 つに増えてしまい、また、命令中に保持するデータ（相対アドレス）も増えてしまう。

【0011】

さらに、命令とデータのバスが分離している場合、情報処理装置は、図 4 に示されるように、通常、命令キャッシュ（メモリ）11 とデータキャッシュ（メモリ）12 を別々に備える。図 4 の例において、アドレス領域 1-1 において、CPU がジャンプ命令 1 の仮想アドレスを指定すると、ジャンプ命令 1、データ 1、データ 2 および命令 5 までの範囲 e 1 が、命令キャッシュ 11 に登録される。また、CPU がデータ 1 の仮想アドレスを指定すると、同様の範囲 e 1 が、データキャッシュ 12 に登録される。すなわち、命令キャッシュ 11 には、ジャンプ命令 1 および命令 5 だけでなく、命令としては使用されないデータ 1 および 2（図中ハッチ部分）も登録されてしまう。一方、データキャッシュ 12 には、データ 1 および 2 だけでなく、データとしては使用されないジャンプ命令 1 および命令 5（図中ハッチ部分）が登録されてしまう。

【0012】

【特許文献 1】

特開平 6-75854 号公報

【0013】

【発明が解決しようとする課題】

上述したように、命令とデータのバスが分離された情報処理装置においては、同一の仮想メモリ空間 1 を用いるため、仮想メモリ空間 1 において、命令とメモリの仮想アドレスが混在してしまう。これにより、命令中にデータを置く場合には、命令実行時に、そのデータをジャンプするためのジャンプ命令などの命令数が増加してしまい、命令実行時間がかかってしまうといった課題があった。また

、命令が目的とするデータの仮想アドレスが、命令のオペランドにより指定不可能な距離 d_2 にある場合には、目的とするデータの相対アドレスを別のデータとして記憶しておく必要があり、そのアドレスを取得するための命令数と実行時間がかかってしまう課題があった。

【0014】

さらに、命令キャッシュ 11 に、データが登録され、データキャッシュ 12 に命令が登録されてしまい、貴重なメモリ領域を消費してしまう課題があった。

【0015】

本発明はこのような状況に鑑みてなされたものであり、データアクセスの効率を向上させ、命令実行速度の向上を図ることができるようにするものである。

【0016】

【課題を解決するための手段】

本発明の情報処理装置は、演算手段と記憶手段との間において、命令またはデータを転送する複数個の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段とを備え、転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段は、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間に変換することを特徴とする。

【0017】

転送手段は、命令を転送する命令バスと、データを転送するデータバスの 2 個で構成され、記憶手段へのアクセスを伴う命令の仮想アドレスと、命令によりアクセスされるデータの仮想アドレスとの差は、命令中のオペランドによって相対アドレスとして直接指定できる距離以下であるようにすることができる。

【0018】

転送手段ごとに、仮想アドレスをタグとして用いるキャッシュをさらに備えるようにすることができる。

【0019】

転送手段を識別してキャッシュデータを特定するキャッシュをさらに備えるよ

うにすることができる。

【0020】

記憶手段は、書き込み禁止領域および書き込み可能領域により構成され、記憶手段へのアクセスを伴う命令中のオペランドによって相対アドレスとして直接指定できる範囲の仮想アドレス空間に、書き込み禁止領域と書き込み可能領域の両方の仮想アドレスが配置されているようにすることができる。

【0021】

記憶手段は、少なくとも1つのI/O (Input / Output) レジスタにより構成され、I/Oレジスタへのアクセスを伴う命令の仮想アドレスと、I/Oレジスタの仮想アドレスとの差は、命令中のオペランドによって相対アドレスとして直接指定できる距離以下であるようにすることができる。

【0022】

同一のI/Oレジスタを示す仮想アドレスは、仮想アドレス空間において複数の領域に分けて配置されるようにすることができる。

【0023】

アドレス変換手段は、仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、変換後の上位 n ビットと残りの下位 m ビットのうちの、少なくとも1ビット以上を入れ替えて、仮想アドレスを物理アドレスに変換するようにすることができる。

【0024】

アドレス変換手段は、仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、残りの下位の m ビットのうちの、少なくとも1ビット以上を入れ替えて、仮想アドレスを物理アドレスに変換するようにすることができる。

【0025】

本発明の情報処理方法は、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備える情報処理装置の情報処理方法にお

いて、転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段には、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間に変換させる変換ステップを備えることを特徴とする。

【0026】

転送手段が有する独立の仮想アドレス空間が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップをさらに備えるようにすることができる。

【0027】

本発明のプログラムの記録媒体は、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備える情報処理装置のプログラムであって、転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段には、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間に変換させる変換ステップを備えることを特徴とする。

【0028】

転送手段が有する独立の仮想アドレス空間が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップをさらに備えるようにすることができる。

【0029】

本発明のプログラムは、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備える情報処理装置を実行させるプログラムであって、転送手段が、他の転送手段の仮想アドレス空間と相互に重複してい

るアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段には、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間に変換させる変換ステップを備えることを特徴とする。

【0030】

転送手段が有する独立の仮想アドレス空間が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップをさらに備えるようにすることができる。

【0031】

本発明の撮像装置は、演算手段と記憶手段との間において、命令またはデータを転送する複数個の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備え、転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段は、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間に変換し、符号化手段は、演算手段により指定され、アドレス変換手段により変換されたアドレスに対応する記憶手段の命令またはデータに基づいて、画像データの符号化処理を実行することを特徴とする。

【0032】

本発明においては、他の仮想アドレス空間と相互に重複しているアドレスにより構成される仮想アドレス空間が、アドレスが相互に重複しない単一の物理アドレス空間に変換される。

【0033】

【発明の実施の形態】

以下に本発明の実施の形態を説明するが、請求項に記載の構成要件と、発明の実施の形態における具体例との対応関係を例示すると、次のようになる。この記載は、請求項に記載されている発明をサポートする具体例が、発明の実施の形態に記載されていることを確認するためのものである。従って、発明の実施の形態中には記載されているが、構成要件に対応するものとして、ここには記載されていない具体例があったとしても、そのことは、その具体例が、その構成要件に対

応するものではないことを意味するものではない。逆に、具体例が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その具体例が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

【0034】

さらに、この記載は、発明の実施の形態に記載されている具体例に対応する発明が、請求項に全て記載されていることを意味するものではない。換言すれば、この記載は、発明の実施の形態に記載されている具体例に対応する発明であって、この出願の請求項には記載されていない発明の存在、すなわち、将来、分割出願されたり、補正により追加される発明の存在を否定するものではない。

【0035】

本発明の請求項1に記載の情報処理装置は、演算を実行する演算手段（例えば、図5のCPU61）と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段（例えば、図5のメモリ62）とを備える情報処理装置（例えば、図5の情報処理装置51）において、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段（例えば、図5の命令バス71およびデータバス72）と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段（例えば、図5の命令アドレス変換部64またはデータアドレス変換部66）とを備え、転送手段（例えば、図5の命令バス71）は、他の転送手段（例えば、図5のデータバス72）の仮想アドレス空間（例えば、図6のデータ仮想アドレス空間102）と相互に重複しているアドレスにより構成される独立の仮想アドレス空間（例えば、図6の命令仮想アドレス空間101）をそれぞれ有し、アドレス変換手段（例えば、図5の命令アドレス変換部64）は、転送手段の仮想アドレス空間（例えば、図6の命令仮想アドレス空間101）を、アドレスが相互に重複しない単一の物理アドレス空間（例えば、図7の物理アドレス空間103）に変換することを特徴とする。

【0036】

本発明の請求項3に記載の情報処理装置は、転送手段ごとに、仮想アドレスを

タグとして用いるキャッシュ（例えば、図5の命令キャッシュ63）をさらに備えることを特徴とする。

【0037】

本発明の請求項5に記載の情報処理装置は、記憶手段は、書き込み禁止領域（例えば、図10のROMのアドレス領域161）および書き込み可能領域（例えば、図10のRAMのアドレス領域162）により構成され、記憶手段へのアクセスを伴う命令中のオペランドによって相対アドレスとして直接指定できる範囲の仮想アドレス空間（例えば、図10のデータ仮想アドレス空間151）に、書き込み禁止領域と書き込み可能領域の両方の仮想アドレスが配置されていることを特徴とする。

【0038】

本発明の請求項6に記載の情報処理装置は、記憶手段は、少なくとも1つのI/O（Input / Output）レジスタにより構成され、I/Oレジスタへのアクセスを伴う命令の仮想アドレス（例えば、図16の命令仮想アドレス空間252）と、I/Oレジスタの仮想アドレス（例えば、図16のデータ仮想アドレス空間253）との差は、命令中のオペランドによって相対アドレスとして直接指定できる距離以下であることを特徴とする。

【0039】

本発明の請求項7に記載の情報処理装置は、同一のI/Oレジスタを示す仮想アドレスは、仮想アドレス空間（例えば、図16のデータ仮想アドレス空間253）において複数の領域に分けて配置されることを特徴とする。

【0040】

本発明の情報処理方法、記録媒体およびプログラムは、演算を実行する演算手段（例えば、図5のCPU61）と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段（例えば、図5のメモリ62）とを備える情報処理装置（例えば、図5の情報処理装置51）の情報処理方法、記録媒体およびプログラムにおいて、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段（例えば、図5の命令バス71およびデータバス72）と、演算手段により指定される仮想アドレスを、記憶手段の物理ア

ドレスに変換する、少なくとも 1 個のアドレス変換手段（例えば、図 5 の命令アドレス変換部 64 またはデータアドレス変換部 66）とを備える情報処理装置の情報処理方法において、転送手段（例えば、図 5 の命令バス 71）が、他の転送手段（例えば、図 15 のデータバス 72）の仮想アドレス空間（例えば、図 16 のデータ仮想アドレス空間 253）と相互に重複しているアドレスにより構成される独立の仮想アドレス空間（例えば、図 16 の命令仮想アドレス空間 252）をそれぞれ有し、アドレス変換手段（例えば、図 15 の命令アドレス変換部 64）には、転送手段の仮想アドレス空間（例えば、図 16 の命令仮想アドレス空間 252）を、アドレスが相互に重複しない単一の物理アドレス空間（例えば、図 16 の物理アドレス空間 251）に変換させる変換ステップ（例えば、図 13 のステップ S13 および S14）を備えることを特徴とする。

【0041】

本発明の撮像装置は、被写体を撮像する撮像手段（例えば、図 14 の CCD 215）と、撮像手段により撮像された被写体の画像データを符号化する符号化手段（例えば、図 14 の J P E G 符号化部 223）と、符号化手段が画像データを符号化処理するための命令またはデータを指令する演算を実行する演算手段（例えば、図 15 の CPU 61）と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段（例えば、図 15 の ROM 212、RAM 213 または I/O レジスタ 231）とを備える撮像装置（例えば、図 14 の撮像装置 201）において、演算手段と記憶手段との間において、命令またはデータを転送する複数個の転送手段（例えば、図 15 の命令バス 71 およびデータバス 72）と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段（例えば、図 15 の命令アドレス変換部 64 またはデータアドレス変換部 66）とを備え、転送手段（例えば、図 15 の命令バス 71）は、他の転送手段（例えば、図 15 のデータバス 72）の仮想アドレス空間（例えば、図 16 のデータ仮想アドレス空間 253）と相互に重複しているアドレスにより構成される独立の仮想アドレス空間（例えば、図 16 の命令仮想アドレス空間 252）をそれぞれ有し、アドレス変換手段（例えば、図 15 の命令アドレス変換部 64）は、転送手段の仮想アドレス空間（

例えば、図 16 の命令仮想アドレス空間 252) を、アドレスが相互に重複しない単一の物理アドレス空間 (例えば、図 16 の物理アドレス空間 251) に変換し、符号化手段は、演算手段により指定され、アドレス変換手段により変換されたアドレスに対応する記憶手段の命令またはデータに基づいて、画像データの符号化処理を実行することを特徴とする。

【0042】

以下、図を参照して本発明の実施の形態について説明する。

【0043】

図 5 は、本発明を適用した情報処理装置 51 の構成例を表している。CPU (Central Processing Unit) 61 は、メモリ 62 に記憶されている命令やデータを取得し、その命令やデータに従って各種の演算処理を実行する。図 5 の例においては、情報処理装置 51 は、CPU 61 からの命令の転送を行う命令バス 71 と CPU 61 からのデータの転送を行うデータバス 72 を別々に有しており、さらに、図 6 を参照して後述するが、それぞれ独立した仮想アドレス空間である、命令バス 71 用の命令仮想アドレス空間 101 とデータバス 72 用のデータ仮想アドレス空間 102 を有している。

【0044】

メモリ 62 は、ROM (Read Only Memory) や RAM (Random Access Memory) などにより構成されており、CPU 61 が演算処理を実行するための命令やデータなどを記憶している。

【0045】

CPU 61 は、メモリ 62 から命令を取得するとき、命令仮想アドレス空間 101 を通して、メモリ 62 を見ることにより、命令に対応する仮想アドレスを指示する。CPU 61 は、指示した命令の仮想アドレスを、命令バス 71 を介して、命令キャッシュ 63 および命令アドレス変換部 64 に出力する。また、CPU 61 は、メモリ 62 からデータを取得するとき、データ仮想アドレス空間 102 を通して、メモリ 62 を見ることにより、データに対応する仮想アドレスを指示する。CPU 61 は、指示したデータの仮想アドレスを、データバス 72 を介して、データキャッシュ 65 およびデータアドレス変換部 66 に出力する。なお、

データは、定数、変数、およびレジスタのアドレスなどにより構成される。

【0 0 4 6】

命令キャッシュ 6 3 は、仮想アドレスをタグとして、バスコントローラ 6 7 から出力された任意の容量の命令を一時的に記録している。命令キャッシュ 6 3 は、命令キャッシュ 6 3 のタグを参照して、命令バス 7 1 を介して入力された仮想アドレスと命令キャッシュ 6 3 中のタグに記録されている命令の仮想アドレスが一致するか否かを判断し、入力された仮想アドレスと命令キャッシュ 6 3 のタグに記録されている命令の仮想アドレスが一致すると判断した場合、仮想アドレスが一致した命令を、命令バス 7 1 を介して、CPU 6 1 に出力する。

【0 0 4 7】

命令アドレス変換部 6 4 は、命令キャッシュ 6 3 が、入力された仮想アドレスと命令キャッシュ 6 3 のタグに記録されている命令の仮想アドレスが一致しないと判断した場合、命令バス 7 1 を介して入力された仮想アドレスを、メモリ 6 2 の物理アドレスに変換し、バスコントローラ 6 7 に出力する。

【0 0 4 8】

データキャッシュ 6 5 は、仮想アドレスをタグとして、任意の容量のデータを一時的に記録している。データキャッシュ 6 5 は、データキャッシュ 6 5 のタグを参照して、データバス 7 2 を介して入力された仮想アドレスとデータキャッシュ 6 5 のタグに記録されているデータの仮想アドレスが一致するか否かを判断し、入力された仮想アドレスとデータキャッシュ 6 5 のタグに記録されているデータの仮想アドレスが一致すると判断した場合、一致したデータを、データバス 7 2 を介して、CPU 6 1 に出力させる。

【0 0 4 9】

データアドレス変換部 6 6 は、データキャッシュ 6 5 が、入力された仮想アドレスとデータキャッシュ 6 5 のタグに記録されているデータの仮想アドレスが一致しないと判断した場合、データバス 7 2 を介して入力された仮想アドレスを、メモリ 6 2 の物理アドレスに変換し、バスコントローラ 6 7 に出力する。

【0 0 5 0】

バスコントローラ 6 7 は、命令アドレス変換部 6 4 からの物理アドレスに対応

する命令をメモリ 62 より取得し、命令キャッシュ 63 および命令バス 71 を介して、CPU 61 に出力する。また、バスコントローラ 67 は、データアドレス変換部 66 からの物理アドレスに対応するデータをメモリ 62 より取得し、データキャッシュ 65 およびデータバス 72 を介して、CPU 61 に出力する。

【0051】

なお、情報処理装置 51 においては、命令バス 71 およびデータバス 72 に対応して、命令キャッシュ 63 とデータキャッシュ 65 を別々に設けるようにしたが、キャッシュを 1 つとしてもよい。この場合、キャッシュは、命令バス 71 とデータバス 72 からのデータを識別して、任意の容量のデータを一時的に記録する。

【0052】

図 6 は、図 5 の情報処理装置 51 で用いられる仮想アドレス空間の構成例を示している。図 6 の例においては、仮想アドレス空間は、それぞれ独立した仮想アドレス空間である、命令バス 71 用の命令仮想アドレス空間 101 とデータバス 72 用のデータ仮想アドレス空間 102 により構成される。

【0053】

命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 は、お互いに重複した仮想アドレスを使用している。例えば、命令仮想アドレス空間 101 は、仮想アドレス「0x000000」乃至「0x100000」を使用しており、データ仮想アドレス空間 102 は、仮想アドレス「0x000000」乃至「0x010000」を使用している。すなわち、仮想アドレス「0x000000」乃至「0x010000」は、命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 において重複して用いられている。

【0054】

このようにして構成される命令アドレス空間 101 およびデータ仮想アドレス空間 102 と、実際のメモリ 62 のアドレス空間である物理アドレス空間 103 との対応関係を、図 7 を参照して説明する。なお、命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 において、上からの配置が同一の行にある場合は、同一の仮想アドレスが使用されているものとする。

【0055】

図7の例においては、物理アドレス空間103は、アドレス順（アドレスの昇順）に、命令のみのページが記憶されているアドレス領域103-1乃至103-4、データのみのページが記憶されているアドレス領域103-5、命令のみのページが記憶されているアドレス領域103-6、並びに、データのみのページが記憶されているアドレス領域103-7および103-8により構成されている。

【0056】

命令仮想アドレス空間101は、物理アドレス空間103において、命令のみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。したがって、命令仮想アドレス空間101は、命令のみのページが記憶されているアドレス領域103-1に対応する仮想アドレスが配置されるアドレス領域101-1、命令のみのページが記憶されているアドレス領域103-2に対応する仮想アドレスが配置されるアドレス領域101-2、命令のみのページが記憶されているアドレス領域103-6に対応する仮想アドレスが配置されるアドレス領域101-3、命令のみのページが記憶されているアドレス領域103-4に対応する仮想アドレスが配置されるアドレス領域101-4、および、命令のみのページが記憶されているアドレス領域103-3に対応する仮想アドレスが配置されるアドレス領域101-5により構成される。

【0057】

データ仮想アドレス空間102は、物理アドレス空間103において、データのみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。したがって、データ仮想アドレス空間102は、データのみのページが記憶されているアドレス領域103-5に対応する仮想アドレスが配置されるアドレス領域102-1、データのみのページが記憶されているアドレス領域103-8に対応する仮想アドレスが配置されるアドレス領域102-2、および、データのみのページが記憶されているアドレス領域103-7に対応する仮想アドレスが配置されるアドレス領域102-3により構成される。

【0058】

命令アドレス変換部64は、以上のように構成された命令仮想アドレス空間101と物理アドレス空間103の対応関係を、命令アドレス変換テーブルとして設定し、記憶している。また、データアドレス変換部66は、データ仮想アドレス空間102と物理アドレス空間103の対応関係を、データアドレス変換テーブルとして設定し、記憶している。

【0059】

命令アドレス変換部64は、例えば、CPU61より、アドレス領域101-1の命令のみのページに対応する仮想アドレスが指定された場合、命令アドレス変換テーブルに基づいて、アドレス領域103-1の物理アドレスに変換する。これにより、CPU61は、アドレス領域103-1に記憶されている命令を取得することができる。

【0060】

データアドレス変換部66は、例えば、CPU61より、アドレス領域102-1のデータのみのページに対応する仮想アドレスが指定された場合、データアドレス変換テーブルに基づいて、アドレス領域103-5の物理アドレスに変換する。これにより、CPU61は、アドレス領域103-5に記憶されているデータを取得することができる。

【0061】

以上のように、2つのアドレス変換テーブルを使用することにより、命令仮想アドレス空間101とデータ仮想アドレス空間102が重複した仮想アドレスを用いていても、命令仮想アドレス空間101とデータ仮想アドレス空間102の仮想アドレスは、単一の物理アドレス空間103の所定のアドレスに変換される。

【0062】

なお、いまの場合、命令アドレス変換部64とデータアドレス変換部66がそれぞれのアドレス変換テーブルを用いて、命令仮想アドレス空間101とデータ仮想アドレス空間102の重複した仮想アドレスを、単一の物理アドレス空間103に変換するようにしたが、命令バス71から入力された仮想アドレスである

か、データバス 72 から入力された仮想アドレスであるか識別子を付加することにより、1つのアドレス変換部で、2つのアドレス変換テーブルに基づいて、アドレスを変換するようにしてもよい。

【0063】

以上のように、命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 として、仮想アドレス空間を別々に設けるようにしたので、命令とデータを完全に分離することができる。これにより、データとそのデータを操作する命令を、図 1 に示される仮想アドレス空間よりも近い仮想アドレス（または、同一の仮想アドレス）に配置できる。また、命令で使用する長い定数などのデータを別途保持する場合も、そのデータは、データ仮想アドレス空間 102 に配置されるため、命令仮想アドレス空間 101 において、図 2 で上述したようなジャンプ命令 1 は不要であり、無駄な命令数が増えることが抑制される。

【0064】

図 8 は、図 7 の命令アドレス空間 101 およびデータ仮想アドレス空間 102 のアドレス領域 101-1 および 102-1 の構成例を示す。なお、アドレス領域 101-1 およびアドレス領域 102-1 において、上からの配置が同一の行にある場合は、同一の仮想アドレスが使用されているものとする。

【0065】

図 8 の例の場合、命令仮想アドレス空間 101 のアドレス領域 101-1 は、命令 1 乃至 12 に対応する仮想アドレス（命令 1 乃至 12 が記憶された仮想アドレス）で構成されており、データ仮想アドレス空間 102 のアドレス領域 102-1 は、データ 1 乃至 12 に対応する仮想アドレス（データ 1 乃至 12 が記憶された仮想アドレス）により構成されている。

【0066】

なお、厳密には、CPU 61 が仮想アドレスを指定すると、指定され仮想アドレスに対応する命令またはデータが、命令キャッシュ 63 またはデータキャッシュ 65 にある場合は、対応する命令またはデータが CPU 61 に出力され、指定され仮想アドレスに対応する命令またはデータが、命令キャッシュ 63 またはデータキャッシュ 65 にない場合は、命令アドレス変換部 64 またはデータアドレ

ス変換部 66 により仮想アドレスが対応する物理アドレスに変換され、バスコントローラ 67 により物理アドレスに対応する命令やデータ（物理アドレスに記憶された命令やデータ）がメモリ 62 から読み出されて、CPU 61 に出力されるが、説明の便宜上、CPU 61 が仮想アドレスを指定すると、その仮想アドレスに対応する命令やデータが読み出され、命令が実行される、などと記述する。

【0067】

図 8 の例の場合、CPU 61 は、命令 3 の仮想アドレスを指定して、例えば、データ 7 を読み出すという命令 3 を実行する。このとき、命令とデータのアドレス空間を別々にし、さらに、命令仮想アドレス空間 101 とデータ仮想アドレス空間で重複した仮想アドレスを使用するようにしたことにより、命令 3 によって読み出されるデータ 3 の仮想アドレスは、データ仮想アドレス空間 102 において、命令 3 のオペランドにより指定可能な距離 D1 にある仮想アドレスとすることができる。したがって、CPU 61 は、命令 3 のオペランドによりデータ 7 の仮想アドレスを指定して、データ 7 を、直接読み出すことができる。

【0068】

このように、命令仮想アドレス空間 101 と、データ仮想アドレス空間 102 とにおいては、仮想アドレスが重複しているため、命令が指定するデータの仮想アドレスを、その命令の仮想アドレスから、命令のオペランドで指定可能な距離の仮想アドレスとすることができる頻度を極めて多くすることができる。したがって、命令が指定するデータの相対アドレスを一旦オペランドにより指定可能な距離に保持しなければならない状態が生じることを阻止することができる。

【0069】

図 9 は、図 5 の命令キャッシュ 63 およびデータキャッシュ 65 の中のデータの構成例を示している。なお、図 9 において、図 8 における場合と対応する部分には対応する符号を付してあり、その説明は繰り返しになるので省略する。

【0070】

図 9 の例においては、命令仮想アドレス空間 101 のアドレス領域 101-1 において、命令 1 乃至 4 までの範囲 E1 は、CPU 61 がアドレス領域 101-1 の命令 1 の仮想アドレスを指定した場合に、命令キャッシュ 63 に登録される

範囲を示している。命令 5 乃至 8 までの範囲 E 2 は、CPU 61 がアドレス領域 101-1 の命令 5 の仮想アドレスを指定した場合に、命令キャッシュ 63 に登録される範囲を示している。命令 9 乃至 12 までの範囲 E 3 は、CPU 61 がアドレス領域 101-1 の命令 9 の仮想アドレスを指定した場合に、命令キャッシュ 63 に登録される範囲を示している。命令仮想アドレス空間 101 の仮想アドレスには、命令 1 乃至 12 しか記憶されていないので、命令キャッシュ 63 には、命令しか登録されない。

【0071】

また、データ仮想アドレス空間 102 のアドレス領域 102-1 において、データ 1 乃至 4 までの範囲 E 1 は、CPU 61 がアドレス領域 102-1 のデータ 1 の仮想アドレスを指定した場合に、データキャッシュ 65 に登録される範囲を示している。データ 5 乃至 8 までの範囲 E 2 は、CPU 61 がアドレス領域 102-1 のデータ 5 の仮想アドレスを指定した場合に、データキャッシュ 65 に登録される範囲を示している。データ 9 乃至 12 までの範囲 E 3 は、CPU 61 がアドレス領域 101-2 のデータ 9 の仮想アドレスを指定した場合に、データキャッシュ 65 に登録される範囲を示している。データ仮想アドレス空間 102 の仮想アドレスには、データ 1 乃至 12 しか記憶されていないので、データキャッシュ 65 には、データしか登録されない。

【0072】

以上のように、命令キャッシュ 63 には、データが登録されることはなく、データキャッシュ 65 には、命令が登録されることはない。したがって、命令キャッシュ 63 およびデータキャッシュ 65 において、貴重なメモリ領域を有効に利用することができる。

【0073】

なお、上記説明においては、メモリ 62 の構成を特に特定してはいなかったが、次に、図 10 を参照して、メモリ 62 を、デバイスにより分けて構成する場合について説明する。図 10 の例においては、メモリ 62 は、ROM と RAM により構成される。ROM は、読み出し専用の半導体メモリにより構成されており、書き換え不要の命令やその命令が指示するデータを記憶している。それに対して

、RAMは、任意のアドレスを指定して読み書きすることが可能な半導体メモリにより構成されており、ROMの命令が指示するデータなどが記憶される。したがって、命令仮想アドレス空間（図示せず）は、ROMにより構成されるが、データ仮想アドレス空間151は、図10に示されるように、ROMとRAMにより構成される。なお、図10においては、書き込み禁止領域としてROM、書き込み可能領域としてRAMを用いて説明するが、書き込み禁止領域には、書き込み禁止にしたRAMも含まれるようにしてもよい。

【0074】

図10は、データアドレス仮想空間151とそれに対応する物理アドレス空間152の構成例を示す。図10の例の場合、物理アドレス空間152は、ROMのデータが記憶されている4Kバイトのアドレス領域161、および、RAMのデータが記憶されている4Kバイトのアドレス領域162により構成される。

【0075】

データアドレス仮想空間151は、ROMのデータが記憶されている2Kバイトのアドレス領域171、RAMのデータが記憶されている2Kバイトのアドレス領域172、ROMのデータが記憶されている2Kバイトのアドレス領域173およびRAMのデータが記憶されている2Kバイトのアドレス領域174の順に構成される。すなわち、データ仮想アドレス空間151では、物理アドレス空間152の4KバイトのROMのアドレス領域161に記憶されているデータを、アドレス領域161の半分の容量である2Kバイトのアドレス領域171および173に分けて記憶しており、物理アドレス空間152のRAMの4Kバイトのアドレス領域162に記憶されているデータを、アドレス領域162の半分の容量である2Kバイトのアドレス領域172および174に分けて記憶している。

【0076】

このようにデータ仮想アドレス空間151を構成することにより、命令仮想アドレス空間において始めの方の命令に対応するデータがRAMに記憶されている場合でも、命令仮想アドレス空間において後ろの方の命令に対応するデータがRAMに記憶されている場合でも、データ仮想アドレス空間151を、物理アドレ

ス空間 152 のままの構成にするよりも、命令に対応するデータの仮想アドレスが相対的に、命令から遠い距離になることを抑制することができる。

【0077】

次に、上述したデータ仮想アドレス空間 151 の仮想アドレスを、物理アドレス空間 152 の物理アドレスにアドレス変換する方法について、図 11 および図 12 を参照して説明する。

【0078】

図 11 の例において、図 10 の物理アドレス空間 152 に示されるように、アドレス領域が 4 K バイトごとにデバイス（ROM と RAM）が異なっているため、物理アドレス 182 は、デバイス（例えば、ROM または RAM）を選択するためのデバイス選択アドレスとしての上位 20 ビットと、デバイス内（例えば、ROM のアドレス領域内）のオフセット位置を指定するためのデバイス内オフセットアドレスとしての下位 12 ビットの 32 ビットにより構成される。

【0079】

ここで、図 10 のデータ仮想アドレス空間 151 のうち、例えば、RAM のアドレス領域 172 の仮想アドレス 181 を、物理アドレス空間 152 の RAM のアドレス領域 162 の物理アドレス 182 に変換する場合、デバイスだけでなく、さらに、そのデバイス内のオフセット位置を変換しなければならないので、図 11 のハッチング部分に示されるように、デバイス選択アドレスとしての上位 20 ビットだけでなく、デバイス内オフセットアドレスである下位ビットの一部（図 11 の場合、1 ビット）まで変換する必要がある。

【0080】

そこで、図 12 に示されるように、データ仮想アドレス空間 151 の仮想アドレス 181 の下位 12 ビットは、変換せずに、仮想アドレス 181 の上位 20 ビット（図 12 のハッチング部分）を、データアドレス変換テーブルに基づいて、所定のアドレス変換を行い、変換後アドレス 191 とする。その後、変換後アドレス 191 のうちの、変換した上位 20 ビット（図 12 のハッチング部分）の最下位 1 ビットと、残りの下位 12 ビットの最上位 1 ビットを交換して、物理アドレス 182 とする。これにより、デバイス内オフセットアドレスである下位ビッ

トをデータアドレス変換テーブルに基づいて、直接変換しなくても、デバイス選択アドレスだけでなく、デバイス内オフセットアドレスも変換された物理アドレス 182 とすることができる。

【0081】

すなわち、図 12 のアドレス変換方法は、図 11 のアドレス変換方法よりも変換するビット数も少ないため、効率よくアドレス変換することができる。なお、図 12 において使用されるデータアドレス変換テーブルは、変換後の上位ビットと下位ビットのうち 1 ビットの交換を考慮して作成されているものとする。また、図 11 および図 12 において説明した上位ビット数、下位ビット数、アドレス総ビット数、および、変換後において交換する上位ビットと下位ビットのうちの所定のビット数は、これに限定するものではない。したがって、例えば、変換後において交換する上位ビットと下位ビットのうちの所定のビット数を、2 ビットとしてもよいし、10 ビットとしてもよい。

【0082】

次に、図 13 のフローチャートを参照して、図 12 のアドレス変換処理について説明する。

【0083】

CPU 61 は、メモリ 62 からデータを取得するために、データ仮想アドレス空間 151 を参照して、データに対応する仮想アドレス（例えば、図 12 の仮想アドレス 181）を、データバス 72 を介して、データキャッシュ 65 およびデータアドレス変換部 66 に出力する。

【0084】

データキャッシュ 65 は、ステップ S11 において、CPU 61 から仮想アドレスが入力されるまで待機しており、CPU 61 から仮想アドレスが入力されたと判断した場合、ステップ S12 に進み、データキャッシュ 65 のタグに基づいて、CPU 61 から入力された仮想アドレスに対応するデータが、データキャッシュ 65 内にあるか否かを判断する。

【0085】

ステップ S12 において、CPU 61 から入力された仮想アドレスに対応する

データが、データキャッシュ 65 内にはないと判断された場合、データキャッシュ 65 は、その結果をデータアドレス変換部 66 に出力し、ステップ S 13 に進み、データアドレス変換部 66 は、仮想アドレスの上位アドレス 20 ビットを、所定のデータアドレス変換テーブルを参照して、変換し、ステップ S 14 に進む。なお、このとき、図 12 の変換後アドレス 191 に示されるように、仮想アドレスの残りの下位 12 ビットは、元のまま変換されない。

【0086】

ステップ S 14 において、データアドレス変換部 66 は、変換された上位 20 ビットのアドレスのうちの一部（図 12 の場合、1 ビット）と、残りの下位 12 ビットのアドレスのうちの一部（図 12 の場合、1 ビット）を入れ替えて、物理アドレス（図 12 の物理アドレス 182）を取得し、取得した物理アドレスをバスコントローラ 67 に出力し、ステップ S 15 に進む。

【0087】

ステップ S 15 において、バスコントローラ 67 は、データアドレス変換部 66 からの物理アドレスに対応するデータを、メモリ 62 から取得し、データキャッシュ 65 に出力し、ステップ S 16 に進み、データキャッシュ 65 は、バスコントローラ 67 からのデータを、データバス 72 を介して、CPU 61 に出力する。

【0088】

一方、ステップ S 12 において、データキャッシュ 65 は、CPU 61 から入力された仮想アドレスに対応するデータが、データキャッシュ 65 内にあると判断した場合、ステップ S 13 乃至 S 15 の処理をスキップし、ステップ S 16 に進み、CPU 61 から入力された仮想アドレスに対応するデータを、データバス 72 を介して CPU 61 に出力する。

【0089】

以上のように、CPU 61 が指示したデータ仮想アドレス空間 151 の仮想アドレスの上位アドレスのみを変換し、変換された上位アドレスのうちの一部と、残りの下位アドレスのうちの一部を入れ替えて、物理アドレス空間の物理アドレスに変換することができるので、仮想アドレスすべてを変換するよりも、変換す

るビット数が少なくなる。これにより、変換効率を向上させることができる。

【0090】

図14は、本発明を適用した撮像装置201の構成例を示す。撮像装置201は、例えば、カムコーダ（カメラ一体型ビデオレコーダ）またはデジタルスチルカメラ（DSC）などにより構成される。図14において、CPU部211は、ROM（Read Only Memory）212、またはRAM（Random Access Memory）213に記憶されている命令またはプログラムに従って各種の演算処理を実行する。

【0091】

レンズ214は、被写体からの光を入力し、CCD（Charge-Coupled Devices）撮像素子215（以下、単に、CCD215と称する）に結像する。CCD215は、被写体の画像に対応する画像データを、A/D（Analog / Digital）変換部216に出力する。A/D変換部216は、CCD215からの画像データをデジタルデータに変換し、信号処理部217に出力する。信号処理部217は、A/D変換部216によりデジタルに変換された画像データを、信号処理し、メモリ制御部218を介して、メモリ219に記録する。

【0092】

表示制御部220は、メモリ制御部218を介して、メモリ219に記録された画像データを読み出し、LCD（Liquid Crystal Display）エンコーダ221を制御し、メモリ219から読み出した画像データを、LCD222用にエンコードさせ、LCD222に出力させる。

【0093】

JPEG（Joint Photographic Experts Group）符号化部223は、メモリ制御部218を介して、メモリ219に記録された画像データを読み出し、JPEGで符号化して、メモリ制御部218を介して、メモリ219に書き戻す。記録制御部224は、JPEG符号化部223により符号化された画像データを、メモリ制御部218を介して、メモリ219から読み出し、光ディスクやメモリスティック（商標）などにより構成される記録媒体225に記録する。

【0094】

なお、図14においては図示しないが、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224は、それぞれ、CPU部211の制御を受けるためのI/O(Input / Output)レジスタを有している。したがって、CPU部211は、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224に内蔵されるI/Oレジスタのデータを読み書きすることにより、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224を制御する。

【0095】

図15は、図14のCPU部211の構成例を示している。なお、図15において、図5における場合と対応する部分には対応する符号を付してあり、その説明は繰り返しになるので適宜省略する。

【0096】

CPU61は、ROM212およびI/Oレジスタ231に記憶されている命令やデータを取得し、その命令やデータに従って各種の演算処理を実行する。また、CPU61は、RAM213およびI/Oレジスタ231に記憶されているデータを読み出したり、書き込んだりする。I/Oレジスタ231は、CPU61により制御される信号処理部217のI/Oレジスタ、メモリ制御部218のI/Oレジスタ、表示制御部220のI/Oレジスタ、JPEG符号化部223のI/Oレジスタおよび記録制御部224のI/Oレジスタなどにより構成される。

【0097】

図15のCPU部211においては、CPU61からの命令の転送を行う命令バス71とCPU61からのデータ（定数、変数やレジスタアドレス）の転送を行うデータバス72を別々に有している。また、CPU部211においては、図16を参照して後述するが、ROM212、RAM213、およびI/Oレジスタ231の物理アドレスにより構成される物理アドレス空間251の他に、それぞれ独立した仮想アドレス空間である、命令バス71用の命令仮想アドレス空間252とデータバス72用のデータ仮想アドレス空間253を有している。

【0098】

CPU61は、ROM212から命令を取得するとき、命令仮想アドレス空間252を通して、ROM212を見ることにより、命令に対応する仮想アドレスを指示する。CPU61は、指示した仮想アドレスを、命令バス71を介して、命令キャッシュ63および命令アドレス変換部64に出力する。また、CPU61は、ROM212、RAM213またはI/Oレジスタ231からデータを取得するとき、データ仮想アドレス空間253を通して、ROM212、RAM213およびI/Oレジスタ231を見ることにより、データに対応する仮想アドレスを指示する。CPU61は、指示した仮想アドレスを、データバス72を介して、データキャッシュ65およびデータアドレス変換部66に出力する。

【0099】

バスコントローラ67は、命令アドレス変換部64からの物理アドレスに対応する命令をROM212より取得し、命令キャッシュ63および命令バス71を介して、CPU61に出力する。また、バスコントローラ67は、データアドレス変換部66からの物理アドレスに対応するデータをROM212、RAM213またはI/Oレジスタ231より取得し、データキャッシュ65およびデータバス72を介して、CPU61に出力する。

【0100】

図16は、撮像装置201における物理アドレス空間251、命令仮想アドレス空間252およびデータ仮想アドレス空間253の構成例を示している。なお、図16においては、命令仮想アドレス空間252とデータ仮想アドレス空間253において、上からの配置が同一の行にある場合は、同一の仮想アドレスが使用されているものとする。

【0101】

撮像装置201においては、実際には、物理アドレス空間251のようにハード的に結線されているが、命令アドレス変換部64およびデータアドレス変換部66によるアドレス変換が実行されることにより、CPU61には、命令仮想アドレス空間252およびデータ仮想アドレス空間253のような仮想アドレスの配置構成に見せることができる。

【0102】

物理アドレス空間 251 は、ROM 212 の命令が記憶されているアドレス領域 251-1、ROM 212 のデータが記憶されているアドレス領域 251-2、RAM 213 のデータが記憶されているアドレス領域 251-3、信号処理部 217 の I/O レジスタのデータが記憶されているアドレス領域 251-4、メモリ制御部 218 の I/O レジスタのデータが記憶されているアドレス領域 251-5、JPEG 符号化部 223 の I/O レジスタのデータが記憶されているアドレス領域 251-6、表示制御部 220 の I/O レジスタのデータが記憶されているアドレス領域 251-7、および記録制御部 224 の I/O レジスタのデータが記憶されているアドレス領域 251-8 により構成される。

【0103】

命令仮想アドレス空間 252 は、ROM 212 の命令が記憶されているアドレス領域 252-1 により構成される。

【0104】

データ仮想アドレス空間は、ROM 212 のデータが記憶されているアドレス領域 253-1、RAM 213 のデータが記憶されているアドレス領域 253-2、信号処理部 217 の I/O レジスタのデータが記憶されているアドレス領域 253-3、ROM 212 のデータが記憶されているアドレス領域 253-4、RAM 213 のデータが記憶されているアドレス領域 253-5、メモリ制御部 218 の I/O レジスタのデータが記憶されているアドレス領域 253-6、ROM 212 のデータが記憶されているアドレス領域 253-7、RAM 213 のデータが記憶されているアドレス領域 253-8、JPEG 符号化部 223 の I/O レジスタのデータが記憶されているアドレス領域 253-9、ROM 212 のデータが記憶されているアドレス領域 253-10、RAM 213 のデータが記憶されているアドレス領域 253-11、表示制御部 220 の I/O レジスタのデータが記憶されているアドレス領域 253-12、ROM 212 のデータが記憶されているアドレス領域 253-13、RAM 213 のデータが記憶されているアドレス領域 253-14、および記録制御部 224 の I/O レジスタのデータが記憶されているアドレス領域 253-15 により構成される。

【0105】

すなわち、物理アドレス空間 251 のアドレス領域 251-1 に記憶されている ROM 212 の命令は、命令仮想アドレス空間 252 において、アドレス領域 252-1 に記憶されている。物理アドレス空間 251 のアドレス領域 251-2 に記憶されている ROM 212 のデータは、データ仮想アドレス空間 253 において、アドレス領域 253-1、アドレス領域 253-4、アドレス領域 253-7、アドレス領域 253-10、およびアドレス領域 253-13 に分けて記憶されている。物理アドレス空間 251 のアドレス領域 251-3 に記憶されている RAM 213 のデータは、データ仮想アドレス空間 253 において、アドレス領域 253-2、アドレス領域 253-5、アドレス領域 253-8、アドレス領域 253-11、およびアドレス領域 253-14 に分けて記憶されている。

【0106】

また、物理アドレス空間 251 のアドレス領域 251-4 に記憶されている信号処理部 217 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-3 に記憶されている。物理アドレス空間 251 のアドレス領域 251-5 に記憶されているメモリ制御部 218 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-6 に記憶されている。物理アドレス空間 251 アドレス領域 251-6 に記憶されている JPEG 符号化部 223 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-9 に記憶されている。物理アドレス空間 251 のアドレス領域 251-7 に記憶されている表示制御部 220 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-12 に記憶されている。物理アドレス空間 251 のアドレス領域 251-8 に記憶されている記録制御部 224 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-15 に配置されている。

【0107】

以上のように、図 15 の撮像装置 201 においては、命令仮想アドレス空間 2

52を、命令の仮想アドレスだけが配置される（記憶される）ように構成し、データ仮想アドレス空間253を、定数、変数やレジスタアドレスなどのデータの仮想アドレスだけが配置される（記憶される）ように構成し、それらの命令仮想アドレス空間252とデータ仮想アドレス空間253を、お互いのアドレスを重複させて、独立で持つようにしたので、図8および図9を参照して上述したように、命令とそれに対応するデータの仮想アドレスが遠く離れることがないため、定数などのデータを配置する必要がなく、ジャンプ命令などの命令も不要であり、無駄な命令数が増えることが抑制される。

【0108】

また、データ仮想アドレス空間252において、I/Oレジスタ群（信号処理部217のI/Oレジスタ、メモリ制御部218のI/Oレジスタ、表示制御部220のI/Oレジスタ、JPEG符号化部223のI/Oレジスタおよび記録制御部224のI/Oレジスタ）を、複数のアドレス領域に分けて配置するようにしたので、命令とそれに対応するデータの仮想アドレスが遠く離れることが抑制され、命令が指定するデータの仮想アドレスを、その命令の仮想アドレスから、命令のオペランドで指定可能な距離の仮想アドレスとすることができる頻度を極めて多くすることができる。

【0109】

さらに、物理アドレス空間251のアドレス領域251-2に記憶されるROM212のデータを、データ仮想アドレス空間253のアドレス領域253-1、アドレス領域253-4、アドレス領域253-7、アドレス領域253-10、およびアドレス領域253-13の仮想アドレスに分けて記憶し、物理アドレス空間251のアドレス領域251-3に記憶されるRAM213のデータを、アドレス領域253-2、アドレス領域253-5、アドレス領域253-8、アドレス領域253-11、およびアドレス領域253-14の仮想アドレスに分けて記憶するようにしたので、命令とそれに対応するデータの仮想アドレスが遠く離れることが抑制され、命令が指定するデータの仮想アドレスを、その命令の仮想アドレスから、命令のオペランドで指定可能な距離の仮想アドレスとすることができる頻度を極めて多くすることができる。

【0110】

なお、図16においては、ROM212とRAM213のデータを、仮想アドレス空間253の複数のアドレス領域の仮想アドレスに分けて記憶するようにしたが、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224の各I/Oレジスタのデータ（同一レジスタ内のデータ）も、同様にして、仮想アドレス空間253の複数のアドレス領域の仮想アドレスに分けて記憶するようにしてもよい。

【0111】

次に、図17と図18のフローチャートを参照して、このようにして配置されたデータ仮想アドレス空間253から物理アドレス空間251へのアドレス変換処理を説明する。なお、図18においては、図13の処理と基本的に同様の処理を行うため、その詳細な説明は、繰り返しになるので適宜省略する。

【0112】

図17は、データアドレス変換部66内で実行されるアドレス変換の例を示している。CPU61は、ROM212、RAM213またはI/Oレジスタ231からデータを取得したり、もしくは、ROM212、RAM213またはI/Oレジスタ231にデータを書き込むために、データ仮想アドレス空間253を参照して、データに対応する仮想アドレス261（ $n+m$ ビット）を、データバス72を介して、データキャッシュ65およびデータアドレス変換部66に出力する。

【0113】

図17の例の場合、仮想アドレス261は、アドレス変換の最小単位であるページにおいて、そのページの先頭アドレスを表す、 n ビットの上位アドレス、および、ページ内オフセットアドレスを表す、 m ビットの下位アドレスにより構成される。

【0114】

データキャッシュ65は、図18のステップS31において、CPU61から仮想アドレスが入力されるまで待機しており、CPU61から仮想アドレスが入力されたと判断した場合、ステップS32に進み、CPU61から入力された仮

想アドレスに対応するデータが、データキャッシュ 65 内にあるか否かを判断する。

【0115】

ステップ S 32 において、CPU 61 から入力された仮想アドレスに対応するデータが、データキャッシュ 65 内にはないと判断された場合、データアドレス変換部 66 は、ステップ S 33 に進み、図 17 に示されるように、仮想アドレス 261 の上位アドレス n ビットを、データアドレス変換テーブル 271 を参照して、変換し、ステップ S 34 に進む。

【0116】

図 17 の例においては、 $n+m$ ビットの仮想アドレス 261 のうちの上位アドレス n ビットは、アドレス変換の最小単位であるページにおいて、そのページの先頭アドレスを示している。データアドレス変換部 66 は、ページ先頭アドレスである上位アドレスを、物理アドレスの複数のページ先頭アドレスのうちの所定のページ先頭アドレスに変換するための変換テーブル 271 を有している。したがって、データアドレス変換部 66 は、データアドレス変換テーブル 271 を参照して、上位アドレス n ビットに対応するページ先頭アドレスを取得し、上位アドレス n ビットを、その対応するページ先頭アドレスに変換する。なお、このとき、残りの下位アドレス m ビットは変換されないで、変換されたページ先頭アドレス（図中ハッチング部分）と、元のままの下位アドレスにより構成される変換後アドレス 262 になる。

【0117】

図 18 のステップ S 34 において、データアドレス変換部 66 は、変換後アドレス 262 において、変換された n ビットのページ先頭アドレスと、残りの m ビットの下位アドレスのうちの一部（例えば、3 ビット）を入れ替える。これにより、図 17 に示されるように、物理アドレス 263 が取得される。物理アドレス 263 は、左（上位）から順に、ページ先頭アドレスの（ $n-3$ ビット）、下位アドレスの 3 ビット、ページ先頭アドレスの 3 ビット、および下位アドレスの（ $m-3$ ビット）により構成される。データアドレス変換部 66 は、このようにして取得した物理アドレス 263 をバスコントローラ 67 に出力し、図 18 のステ

ップ S 3 5 に進む。

【0118】

ステップ S 3 5 において、バスコントローラ 6 7 は、データアドレス変換部 6 6 からの物理アドレス 2 6 3 に対応するデータを、ROM 2 1 2、RAM 2 1 3 または I/O レジスタ 2 3 1 から取得し、データキャッシュ 6 5 に出力し、ステップ S 3 6 に進む。ステップ S 3 6 において、データキャッシュ 6 5 は、バスコントローラ 6 7 からのデータを、データバス 7 2 を介して CPU 6 1 に出力する。

【0119】

一方、ステップ S 3 2 において、データキャッシュ 6 5 は、CPU 6 1 から入力された仮想アドレスに対応するデータが、データキャッシュ 6 5 内にあると判断した場合、ステップ S 3 3 乃至 S 3 5 の処理をスキップし、ステップ S 3 6 に進み、CPU 6 1 から入力された仮想アドレスに対応するデータを、データバス 7 2 を介して CPU 6 1 に出力する。

【0120】

以上のようにして、CPU 6 1 が指示したデータ仮想アドレス空間 2 5 3 の仮想アドレス 2 6 1 のページ先頭アドレスである上位アドレスのみを変換し、その後、変換した上位アドレスと、残りの下位アドレスを入れ替えて、物理アドレス空間 2 5 1 の物理アドレス 2 6 3 に変換するようにしたので、データ仮想アドレスの下位アドレスを変換することなしに、物理アドレスに変換できる。これにより、変換するビット数を少なくすることができ、変換速度を向上させることができる。

【0121】

なお、上記説明においては、図 1 7 の変換後アドレス 2 6 2 において、変換した上位アドレスと、残りの下位アドレスのうちの一部を入れ替えるようにしたが、図 1 9 に示されるようにして、物理アドレス 2 8 1 を取得するようにしてもよい。図 1 9 の例の場合、変換後アドレス 2 6 2 において、データアドレス変換テーブル 2 7 1 を参照して変換されたページ先頭アドレス（上位アドレス）は入れ替えずに、残りの下位アドレス（m ビット）のうちの一部同士（例えば、下位ア

ドレスの最上位 2 ビットとその次の 2 ビット) を入れ替えることにより、物理アドレス 281 が取得される。この場合、物理アドレス 281 は、左 (上位) から順に、ページ先頭アドレスの n ビット、下位アドレスのうち交換された 4 ビット (各 2 ビット)、および下位アドレスの $(m-4)$ ビットにより構成される。

【0122】

次に、図 20 のフローチャートを参照して、撮像装置 201 の画像データ記録処理について説明する。

【0123】

レンズ 214 は、被写体からの光を入力し、CCD 215 に結像する。CCD 215 は、被写体の画像に対応する画像データを、A/D変換部 216 に出力する。これに対応して、信号処理部 217 は、ステップ S51において、CCD 215 からの画像データを、A/D変換部 216 を介して入力し、ステップ S52 に進み、CCD 215 からの画像データに、所定の信号処理を行い、信号処理した画像データを、メモリ制御部 218 に出力する。メモリ制御部 218 は、信号処理部 217 からの画像データを、メモリ 219 に記憶させ、ステップ S53 に進む。

【0124】

JPEG符号化部 223 は、ステップ S53 において、メモリ 219 内の画像データのアドレスを設定し、さらに、符号化された画像データを記録するための符号化画像データのメモリ 219 内のアドレスを設定し、ステップ S54 に進み、符号化制御値を設定し、ステップ S55 に進む。

【0125】

JPEG符号化部 223 は、ステップ S55 において、ステップ S53 および S54 で設定された各画像データのメモリ 219 内のアドレスおよび符号化制御値に基づいて、画像データを符号化処理する。そして、JPEG符号化部 223 は、メモリ制御部 218 を制御し、符号化処理した符号化画像データを、メモリ 219 に記録させ、ステップ S56 に進む。

【0126】

記録制御部 224 は、ステップ S56 において、メモリ制御部 218 を制御し

、メモリ 219 より、符号化画像データを読み出させ、ステップ S57 に進み、メモリ 219 からの符号化画像データを記録媒体 225 に記録する。

【0127】

以上のようにして、撮像装置 201 においては、撮像された画像データが記録媒体に記録される。なお、図 20 のすべてのステップの処理は、CPU61 により、ROM212、RAM213、並びに、信号処理部 217、メモリ制御部 218、表示制御部 220、JPEG 符号化部 223 および記録制御部 224 に内蔵される I/O レジスタが制御されることにより実行されている。

【0128】

すなわち、CPU61 により指定された仮想アドレスは、図 17 および図 18 のフローチャートを参照して上述したアドレス変換が実行されて物理アドレスに変換され、ROM212、RAM213、並びに、信号処理部 217、メモリ制御部 218、表示制御部 220、JPEG 符号化部 223 および記録制御部 224 に内蔵される I/O レジスタに出力される。これにより、CPU61 が指示した仮想アドレスに対応する、ROM212、RAM213、信号処理部 217、メモリ制御部 218、表示制御部 220、JPEG 符号化部 223 または記録制御部 224 により、それぞれのステップの処理が実行される。

【0129】

そこで、図 21 と図 22 のフローチャートを参照して、上述した図 20 のステップ S55 において上述した符号化処理に対応する CPU61 の符号化開始命令処理について説明する。なお、図 21 においては、JPEG 符号化部 223 の I/O レジスタは、CPU61 が JPEG 符号化部 223 の起動を指示するための JPEG 起動レジスタ、および、CPU61 が JPEG 符号化部 223 の状態を確認するための JPEG 状態レジスタにより構成される。

【0130】

図 21 の例の場合、命令仮想アドレス空間は、「JPEG 起動レジスタへ書き込む定数「0x00000100」を読み出す」動作を実行する命令「LOAD R0, jpegstart」を記憶する仮想アドレス、「JPEG 起動レジスタ jpegcodecreg へ定数「0x00000100」を書き込む」動作を実行する命令「STORE R0, jpegcodecreg」を記憶す

る仮想アドレス、および、「J P E G 状態レジスタ jpegstatusreg を読み出す（終了確認）」動作を実行する命令「LOAD R0, jpegstatusreg」を記憶する仮想アドレスにより構成される。

【0 1 3 1】

データ仮想アドレス空間は、ラベルが「jpegstart」であり、内容が「J P E G 起動レジスタへ書き込むデータ」であり、「0x00000100」を記憶する仮想アドレス、ラベルが「jpegcodecreg」であり、内容が「J P E G 起動レジスタ」であり、「J P E G 符号化部 2 2 3 が出力する値」を記憶する仮想アドレス、および、ラベルが「jpegstatusreg」であり、内容が「J P E G 状態レジスタ」であり、データ「J P E G 符号化部 2 2 3 が出力する値」を記憶する仮想アドレスにより構成される。

【0 1 3 2】

なお、厳密には、C P U 6 1 が仮想アドレスを指定すると、指定され仮想アドレスに対応する命令またはデータが、命令キャッシュ 6 3 またはデータキャッシュ 6 5 にある場合は、対応する命令またはデータが C P U 6 1 に出力され、指定され仮想アドレスに対応する命令またはデータが、命令キャッシュ 6 3 またはデータキャッシュ 6 5 にない場合は、命令アドレス変換部 6 4 またはデータアドレス変換部 6 6 により仮想アドレスに対応する物理アドレスに変換され、バスコントローラ 6 7 により物理アドレスに対応する命令やデータが、R O M 2 1 2、R A M 2 1 3 および I / O レジスタ 2 3 1 から読み出されて、C P U 6 1 に出力されるが、説明の便宜上、C P U 6 1 が仮想アドレスを指定すると、その仮想アドレスに対応する命令やデータが読み出され、命令が実行される、などと記述する。

【0 1 3 3】

したがって、図 2 2 のステップ S 7 1 において、C P U 6 1 は、命令仮想アドレス空間の命令「LOAD R0, jpegstart」を読み出し、ステップ S 7 2 に進み、C P U 6 1 は、命令「LOAD R0, jpegstart」に従って、データ仮想アドレス空間のラベル「jpegstart」の仮想アドレスの定数データ「0x00000100」を読み出し、ステップ S 7 3 に進む。

【0 1 3 4】

ステップS 7 3において、CPU 6 1は、命令仮想アドレス空間の命令「STORE R0, jpegcodecreg」を読み出し、ステップS 7 4に進み、CPU 6 1は、命令「STORE R0, jpegcodecreg」に従って、JPEG符号化部2 2 3のJPEG起動レジスタである、データ仮想アドレス空間のラベル「jpegcodecreg」の仮想アドレスに、定数データ「0x00000100」を書き込み、ステップS 7 5に進む。これにより、JPEG符号化部2 2 3により、図2 0のステップS 5 5の符号化処理が開始される。ここで、JPEG符号化部2 2 3は、JPEG状態レジスタである、ラベル「jpegstatusreg」の仮想アドレスに、符号化処理を開始することを示す値を出力する。

【0 1 3 5】

そこで、ステップS 7 5において、CPU 6 1は、命令仮想アドレス空間の命令「LOAD R0, jpegstatusreg」を読み出し、ステップS 7 6に進み、CPU 6 1は、命令「LOAD R0, jpegstatusreg」に従って、JPEG符号化部2 2 3のJPEG状態レジスタである、データ仮想アドレス空間のラベル「jpegstatusreg」に記憶されている、JPEG符号化部2 2 3により出力された値を終了確認として読み出し、処理を終了する。

【0 1 3 6】

これに対して、図2 3と図2 4のフローチャートを参照して、上述した図2 0のステップS 5 5において実行される符号化処理に対応する、従来の符号化開始命令の例について説明する。

【0 1 3 7】

図2 3の例の場合、仮想アドレス空間は、「JPEG起動レジスタのアドレスデータ jpegcodecregを読み出す」動作を実行する命令「LOAD R0, jpegcodecreg」を記憶する仮想アドレス、「JPEG起動レジスタへ書き込む定数「0x00000100」を読み出す」動作を実行する命令「LOAD R1, jpegstart」を記憶する仮想アドレス、「JPEG起動レジスタ jpegcodecregへ定数「0x00000100」を書き込む」動作を実行する命令「STORE R1, [R0]」、「nextのアドレス[LOAD R0, jpegstatus]へ無条件分岐」動作を実行する命令「JMP next」を記憶する仮想アドレス、ラ

ベルが「jpegcodec」であり、J P E G 起動レジスタアドレスデータ「jpegcodec reg」を記憶する仮想アドレス、ラベルが「jpegstart」であり、J P E G 起動レジスタへ書き込むデータ「0x00000100」を記憶する仮想アドレス、ラベルが「jpegstatus」であり、J P E G 状態レジスタアドレスデータ「jpegstatusreg」を記憶する仮想アドレス、ラベルが「next」であり、「J P E G 状態レジスタのアドレスデータ jpegstatusreg を読み出す」動作を実行する命令「LOAD R0, jpegstatus」を記憶する仮想アドレス、「J P E G 状態レジスタ jpegstatusreg を読み出す(終了確認)」動作を実行する命令「LOAD R1, [R0]」を記憶する仮想アドレス、・・・、ラベルが「jpegcodecreg」であり、「J P E G 起動レジスタ」であり、データ「J P E G 符号化部 2 2 3 が出力する値」を記憶する仮想アドレス、および、ラベルが「jpegstatusreg」であり、「J P E G 状態レジスタ」であり、データ「J P E G 符号化部 2 2 3 が出力する値」を記憶する仮想アドレスにより構成される。

【0 1 3 8】

従来の仮想アドレス空間においては、命令とデータの仮想アドレスが混在していることにより、J P E G 符号化部 2 2 3 の J P E G 起動レジスタおよび J P E G 状態レジスタの仮想アドレスの位置が遠いため、各命令から J P E G 起動レジスタおよび J P E G 状態レジスタの仮想アドレスを直接指定することができない。これにより、従来の仮想アドレス空間の命令数は、図 2 1 の命令仮想アドレス空間の命令数と比較して、3 つも多く、従来の仮想アドレス空間のデータ数は、図 2 1 のデータ仮想アドレス空間のデータ数と比較して、2 つも多くなってしまう。

【0 1 3 9】

したがって、図 2 3 の従来の符号化開始命令処理について説明すると、図 2 4 のステップ S 8 1 において、C P U 6 1 は、仮想アドレス空間の命令「LOAD R0, jpegcodec」を読み出し、ステップ S 8 2 に進み、C P U 6 1 は、命令「LOAD R0, jpegcodec」に従って、仮想アドレス空間のラベル「jpegcodec」にある J P E G 起動レジスタアドレスデータである「jpegcodecreg」を読み出し、ステップ S 8 3 に進む。

【0 1 4 0】

ステップ S 8 3 において、C P U 6 1 は、仮想アドレス空間の命令「LOAD R1, jpegstart」を読み出し、ステップ S 8 4 に進み、C P U 6 1 は、命令「LOAD R1, jpegstart」に従って、J P E G 起動レジスタに書き込むデータである「0x00 000100」を読み出し、ステップ S 8 5 に進む。

【0 1 4 1】

ステップ S 8 5 において、C P U 6 1 は、仮想アドレス空間の命令「STORE R1, [R0]」を読み出し、ステップ S 8 6 に進み、C P U 6 1 は、命令「STORE R1, [R0]」に従って、仮想アドレス空間のラベル「jpegcodecreg」にある J P E G 起動レジスタに、定数データ「0x00000100」を書き込み、ステップ S 8 7 に進む。これにより、J P E G 符号化部 2 2 3 により、図 2 0 のステップ S 5 5 の符号化処理が開始される。ここで、J P E G 符号化部 2 2 3 は、J P E G 状態レジスタである、ラベル「jpegstatusreg」の仮想アドレスに、符号化処理を開始することを示す値を出力する。

【0 1 4 2】

ステップ S 8 7 において、C P U 6 1 は、仮想アドレス空間の命令「JUMP next」を読み出し、ステップ S 8 8 に進み、C P U 6 1 は、命令「JUMP next」に従って、ラベル「next」へ無条件分岐し、命令「LOAD R0, jpegstatus」を読み出し、ステップ S 8 9 に進み、C P U 6 1 は、命令「LOAD R0, jpegstatus」に従って、J P E G 状態レジスタアドレスデータである「jpegstatusreg」を読み出し、ステップ S 9 0 に進む。

【0 1 4 3】

ステップ S 9 0 において、C P U 6 1 は、仮想アドレス空間の命令「LOAD R1, [R0]」を読み出し、ステップ S 9 1 に進み、C P U 6 1 は、命令「LOAD R1, [R0]」に従って、JPEG状態レジスタ「jpegstatusreg」に書き込まれている J P E G 符号化部 2 2 3 により出力された値を終了確認として読み出し、処理を終了する。

【0 1 4 4】

以上のように、図 2 1 に示されるように仮想アドレス空間を、データと命令の

仮想アドレス空間に分離させたことにより、データと命令の仮想アドレスの距離が近づくため、ヒット効率が向上する。さらに、図 22 の命令仮想アドレス空間およびデータ仮想アドレス空間と比較すると、図 21 の仮想アドレス空間では、命令、データの仮想アドレスがともに 3 つしかないのに対して、図 22 の仮想アドレス空間では、命令が 6 つ、データが 4 つある。すなわち、図 21 の仮想アドレス空間構成にすることにより、従来よりも、命令 3 つ、データ 2 つを削減することができる。

【0145】

また、図 22 のフローチャートにおいては、処理数が 6 ステップであるのに対して、図 24 の従来のフローチャートの処理数は 11 ステップあり、図 21 の仮想アドレス空間構成にすることにより、処理数も削減され、処理の速度を向上させることができる。

【0146】

なお、上記説明においては、データと命令の 2 つに分離して、それぞれ仮想空間を持つようにしたが、2 つに限定されず、複数個の仮想アドレス空間を持つようにしてもよい。また、命令アドレス変換部 64 とデータアドレス変換部 66 として、仮想アドレス空間毎にアドレス変換部を備えるようにしたが、1 つのアドレス変換部に、複数の変換テーブルをもたせ、各バスからの仮想アドレスに識別子などを付けることにより、複数の仮想アドレスを変換させるようにしてもよいし、1 つのアドレス変換部に、どちらか一方のみを変換するようにしてもよい。ただし、そのどちらの場合にも、物理アドレス空間が重複しないように変換を考慮する必要がある。

【0147】

なお、本発明は、撮像装置 201 に限らず、パーソナルコンピュータ、PDA、DVD プレーヤ、セットトップボックス、ルータ、ロボット、ホームサーバ、携帯端末、ゲーム機、およびネットワーク端末などに適用することもできる。

【0148】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。この場合、例えば、図 5 の情報処理装

置 51 は、図 25 に示されるような情報処理装置 301 により構成される。なお、図示は省略するが、図 15 の撮像装置 201 も、情報処理装置 301 と同様に構成される。

【0149】

図 25 において、CPU (Central Processing Unit) 311 は、ROM (Read Only Memory) 312 に記憶されているプログラム、または、記憶部 318 から RAM (Random Access Memory) 313 にロードされたプログラムに従って各種の処理を実行する。RAM 313 にはまた、CPU 311 が各種の処理を実行する上において必要なデータなどが適宜記憶される。

【0150】

CPU 311、ROM 312、および RAM 313 は、バス 314 を介して相互に接続されている。このバス 314 にはまた、入出力インタフェース 315 も接続されている。

【0151】

入出力インタフェース 315 には、キーボード、マウスなどよりなる入力部 316、CRT (Cathode Ray Tube)、LCD (Liquid Crystal Display) などよりなるディスプレイ、並びにスピーカなどよりなる出力部 317、ハードディスクなどより構成される記憶部 318、モデム、ターミナルアダプタなどより構成される通信部 319 が接続されている。通信部 319 は、図示しないネットワークを介しての通信処理を行う。

【0152】

入出力インタフェース 315 にはまた、必要に応じてドライブ 320 が接続され、磁気ディスク 321、光ディスク 322、光磁気ディスク 323、或いは半導体メモリ 324 などが適宜装着され、それから読み出されたコンピュータプログラムが、必要に応じて記憶部 318 にインストールされる。

【0153】

一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行すること

が可能な、例えば、汎用のパーソナルコンピュータなどに、ネットワークや記録媒体からインストールされる。

【0 1 5 4】

この記録媒体は、図 2 5 に示されるように、装置本体とは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク 3 2 1（フレキシブルディスクを含む）、光ディスク 3 2 2（CD-ROM(Compact Disk-Read Only Memory)、DVD(Digital Versatile Disk)を含む）、光磁気ディスク 3 2 3（MD(Mini-Disk)（商標）を含む）、もしくは半導体メモリ 3 2 4 などよりなるパッケージメディアにより構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに提供される、プログラムが記録されている ROM 3 1 2 や、記憶部 3 1 9 に含まれるハードディスクなどで構成される。

【0 1 5 5】

なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に従って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0 1 5 6】

【発明の効果】

以上の如く、本発明によれば、データアクセスの効率を向上させ、命令実行速度の向上を図ることができる。

【図面の簡単な説明】

【図 1】

従来の仮想アドレス空間の構成例を示す図である。

【図 2】

図 1 の従来の仮想アドレス空間の詳細な構成例を示す図である。

【図 3】

図 1 の従来の仮想アドレス空間の詳細な構成の他の例を示す図である。

【図 4】

従来のキャッシュの中のデータの構成例を示す図である。

【図 5】

本発明を適用した情報処理装置の構成例を示すブロック図である。

【図 6】

図 5 の情報処理装置の命令仮想アドレス空間とデータ仮想アドレス空間の構成例を示す図である。

【図 7】

図 6 の命令仮想アドレス空間とデータ仮想アドレス空間の詳細な構成例を示す図である。

【図 8】

図 5 の命令キャッシュとデータキャッシュの中のデータの構成例を示す図である。

【図 9】

図 6 の命令仮想アドレス空間とデータ仮想アドレス空間の詳細な構成のさらに他の例を示す図である。

【図 1 0】

図 5 の情報処理装置のデータ仮想アドレス空間の他の構成例を示す図である。

【図 1 1】

従来のアドレス変換の例を説明する図である。

【図 1 2】

図 5 の情報処理装置のアドレス変換の例を説明する図である。

【図 1 3】

図 5 の情報処理装置のアドレス変換処理を説明するフローチャートである。

【図 1 4】

本発明を適用した撮像装置の構成例を示すブロック図である。

【図 1 5】

図 1 4 の CPU 部の構成例を示すブロック図である。

【図 1 6】

図 1 4 の撮像装置の命令仮想アドレス空間とデータ仮想アドレス空間の構成例を示す図である。

【図 17】

図 14 の撮像装置のアドレス変換の例を説明する図である。

【図 18】

図 14 の撮像装置のアドレス変換処理を説明するフローチャートである。

【図 19】

図 14 の撮像装置のアドレス変換の他の例を説明する図である。

【図 20】

図 14 の撮像装置の画像データ記録処理を説明するフローチャートである。

【図 21】

図 20 のステップ S 55 を制御する命令仮想アドレス空間とデータ仮想アドレス空間の構成例を説明する図である。

【図 22】

図 20 のステップ S 55 を制御する CPU 部の符号化開始命令処理を説明するフローチャートである。

【図 23】

図 21 と比較するための従来の仮想アドレス空間の構成例を説明する図である。

【図 24】

図 22 と比較するための従来の符号化開始命令処理を説明するフローチャートである。

【図 25】

本発明を適用した情報処理装置の他の構成例を示すブロック図である。

【符号の説明】

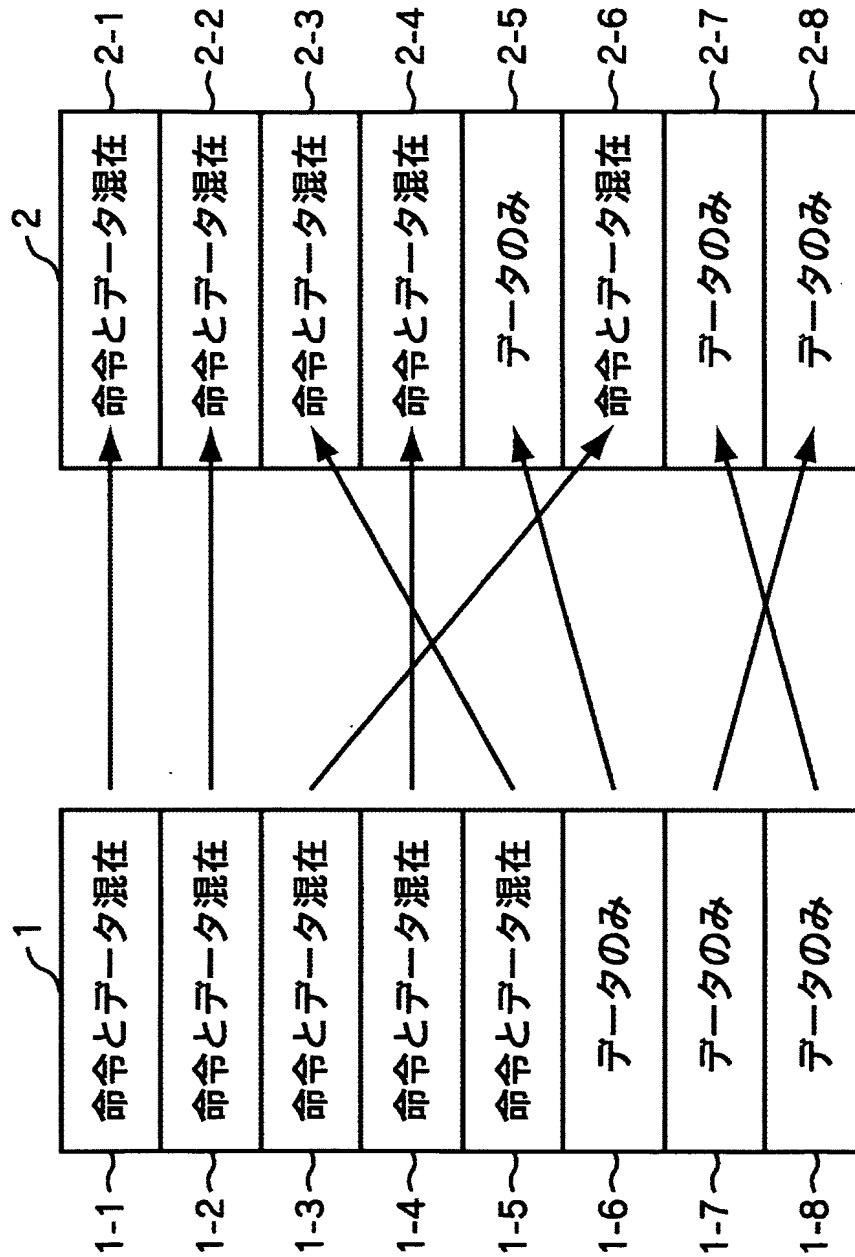
51 情報処理装置, 61 CPU, 62 メモリ, 63 命令キャッシュ, 64 命令アドレス変換部, 65 データキャッシュ, 66 データアドレス変換部, 67 バスコントローラ, 71 命令バス, 72 データバス, 101 命令仮想アドレス空間, 102 データ仮想アドレス空間, 103 物理アドレス空間, 151 データ仮想アドレス空間, 152 物理アドレス空間, 201 撮像装置, 211 CPU部, 212 ROM, 213 RAM, 231 I／

レジスタ , 2 5 1 物理アドレス空間, 2 5 2 命令仮想アドレス空間, 2
5 3 データ仮想アドレス空間

【書類名】 図面

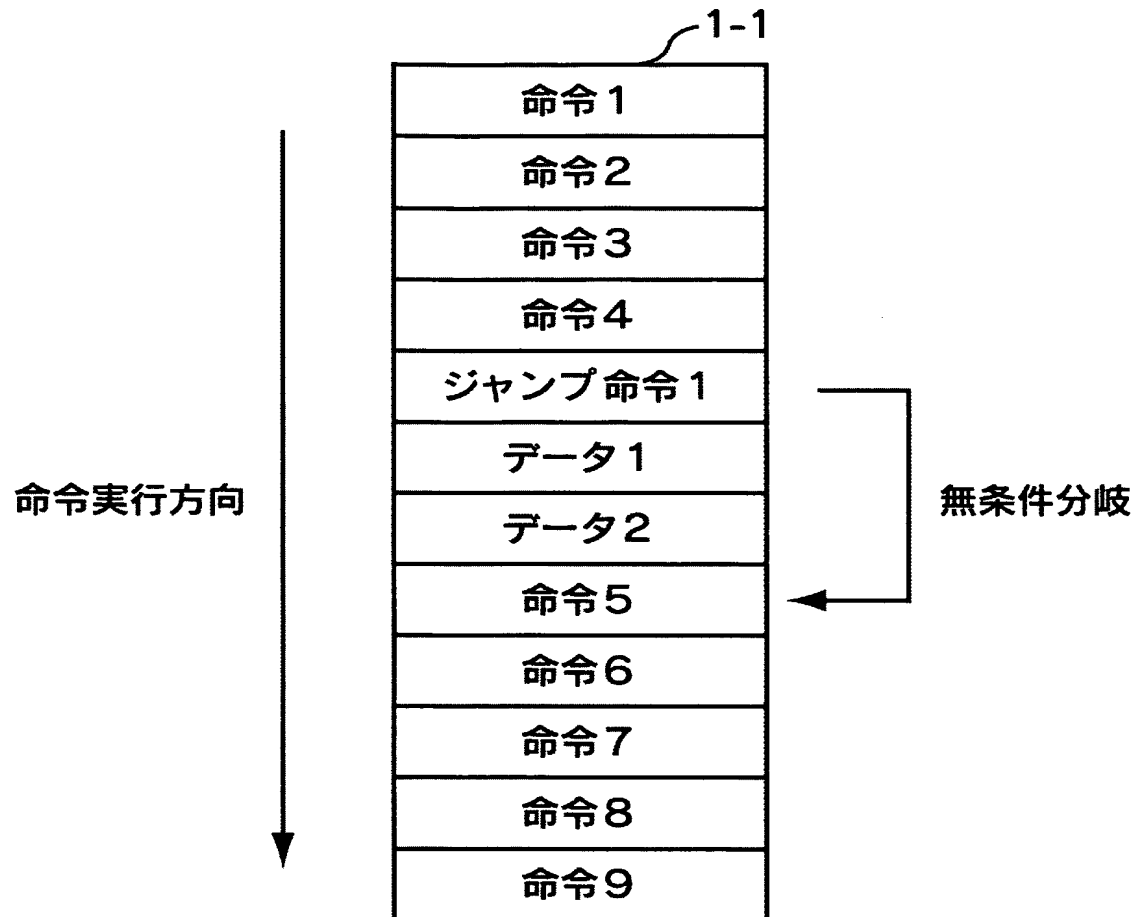
【図 1】

図 1

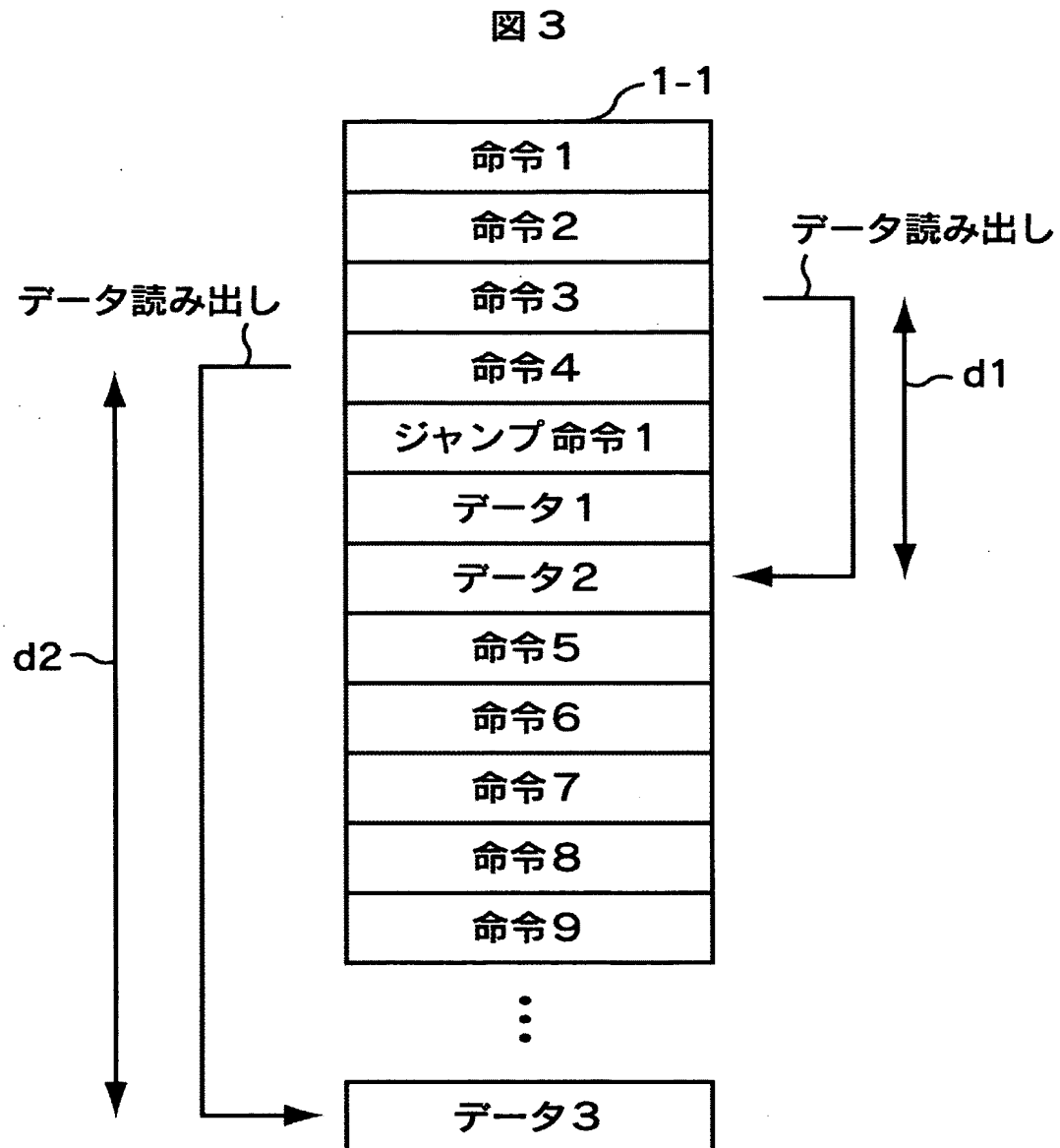


【図 2】

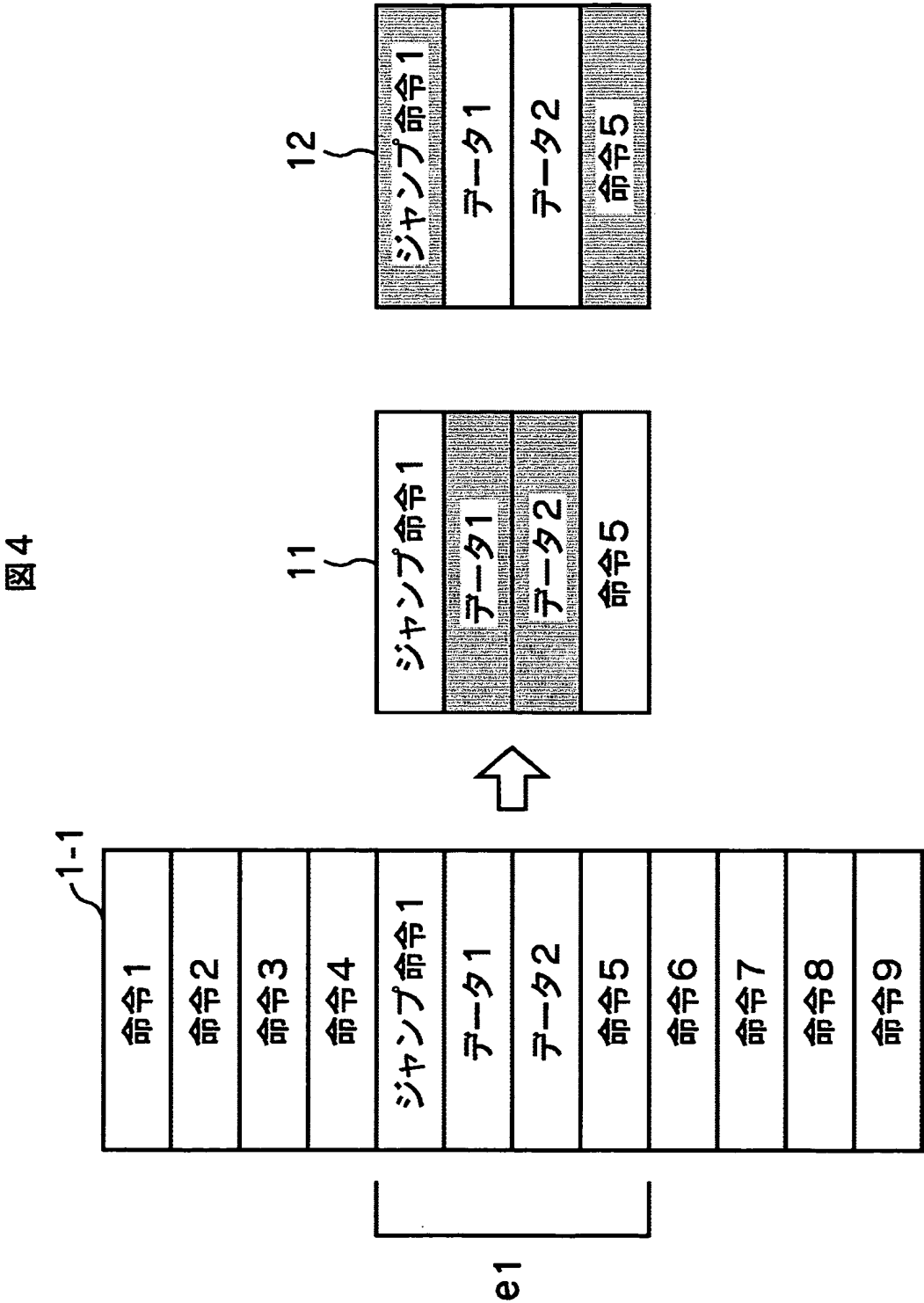
図 2



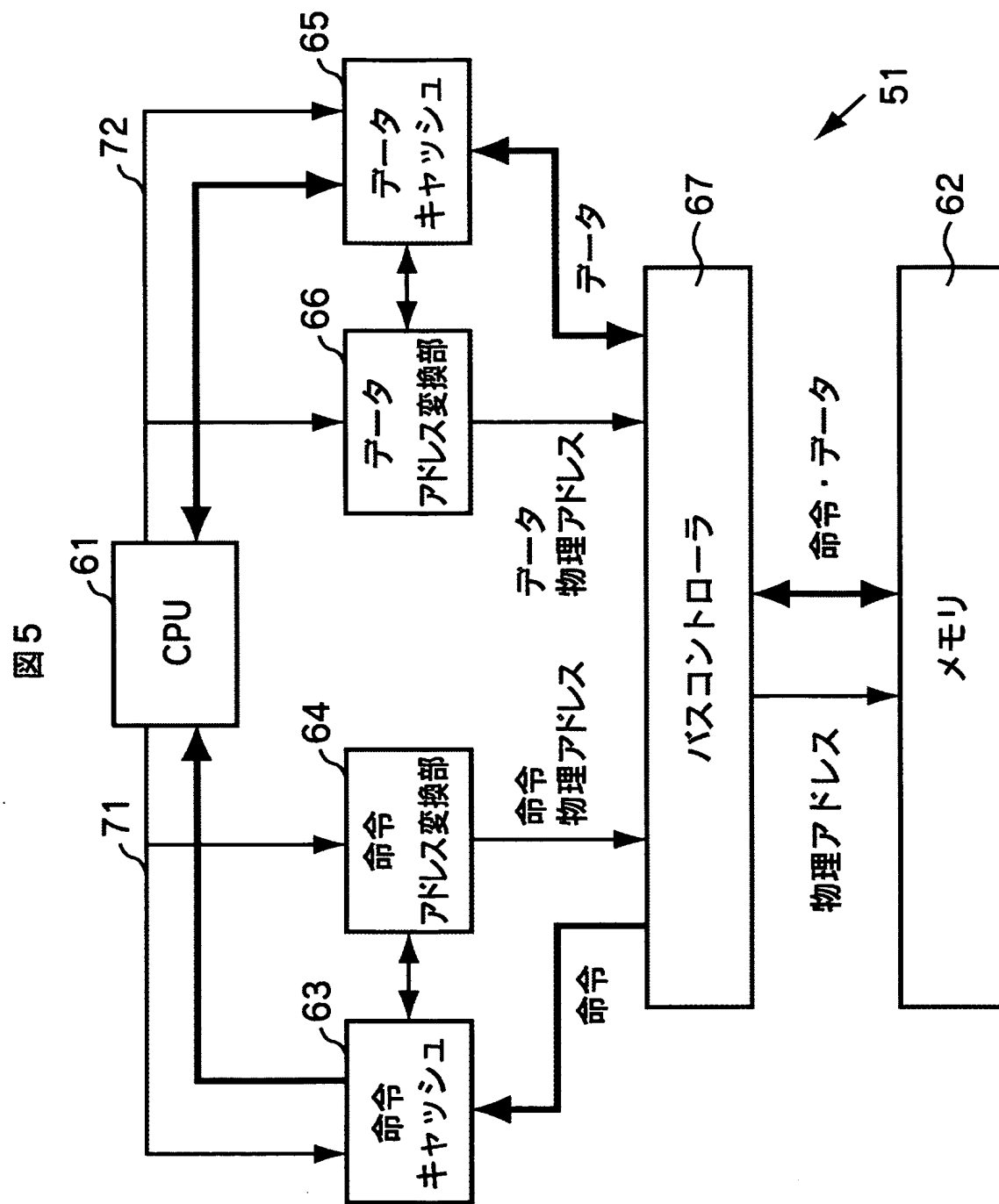
【図 3】



【図 4】

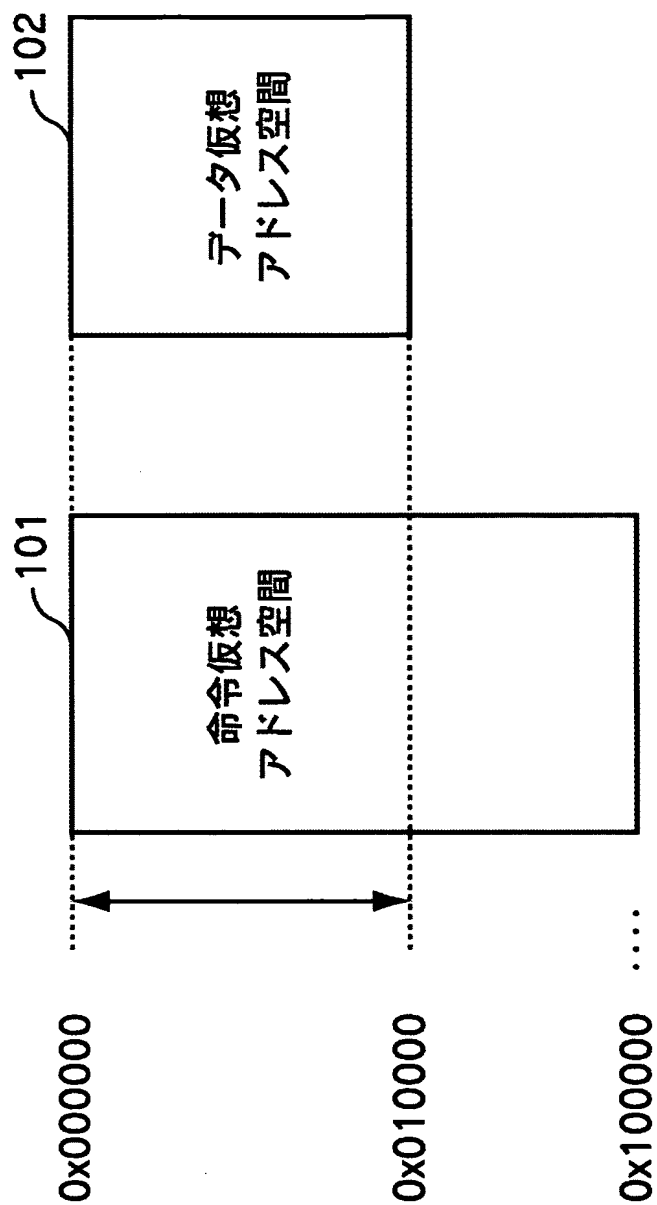


【図 5】



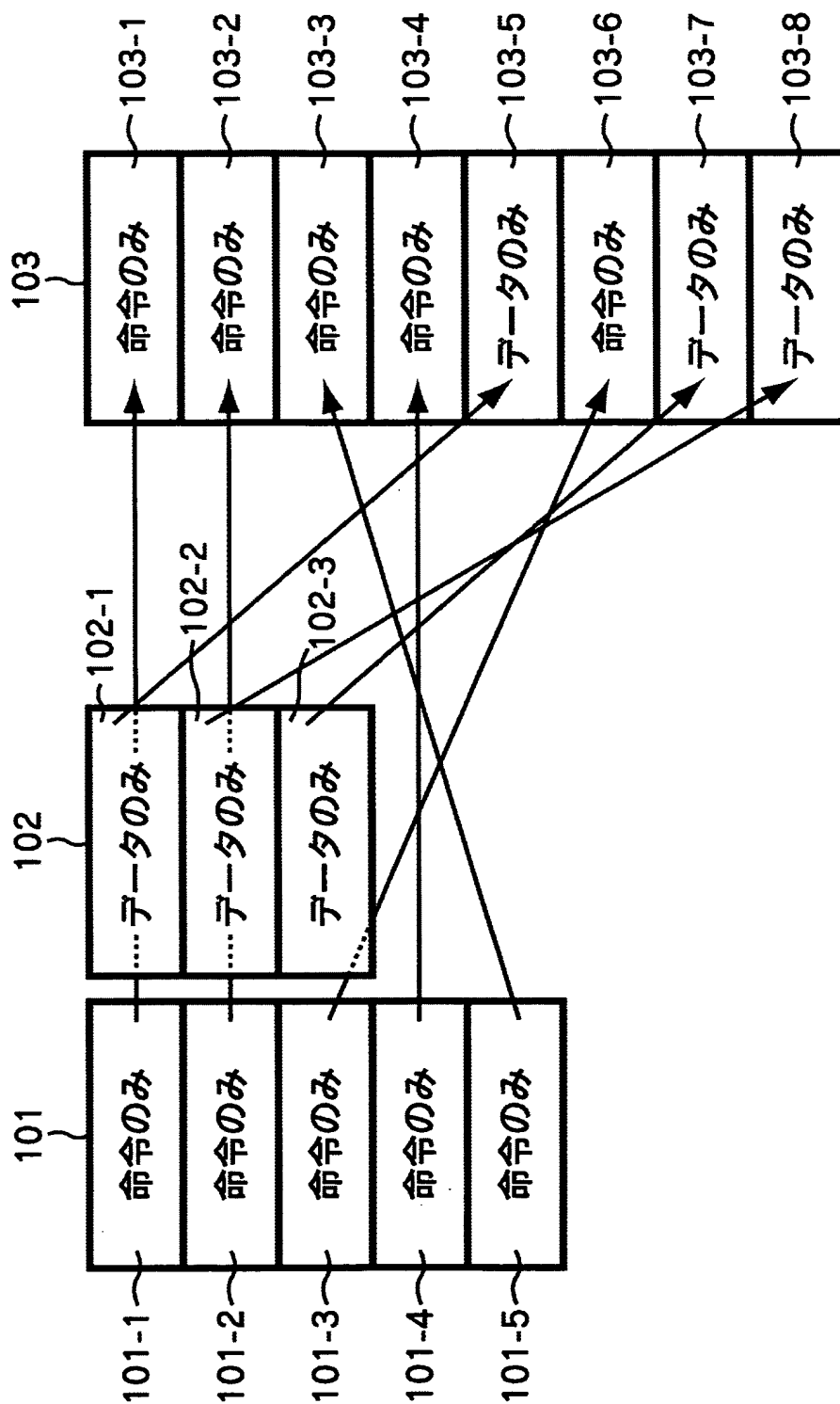
【図 6】

図 6



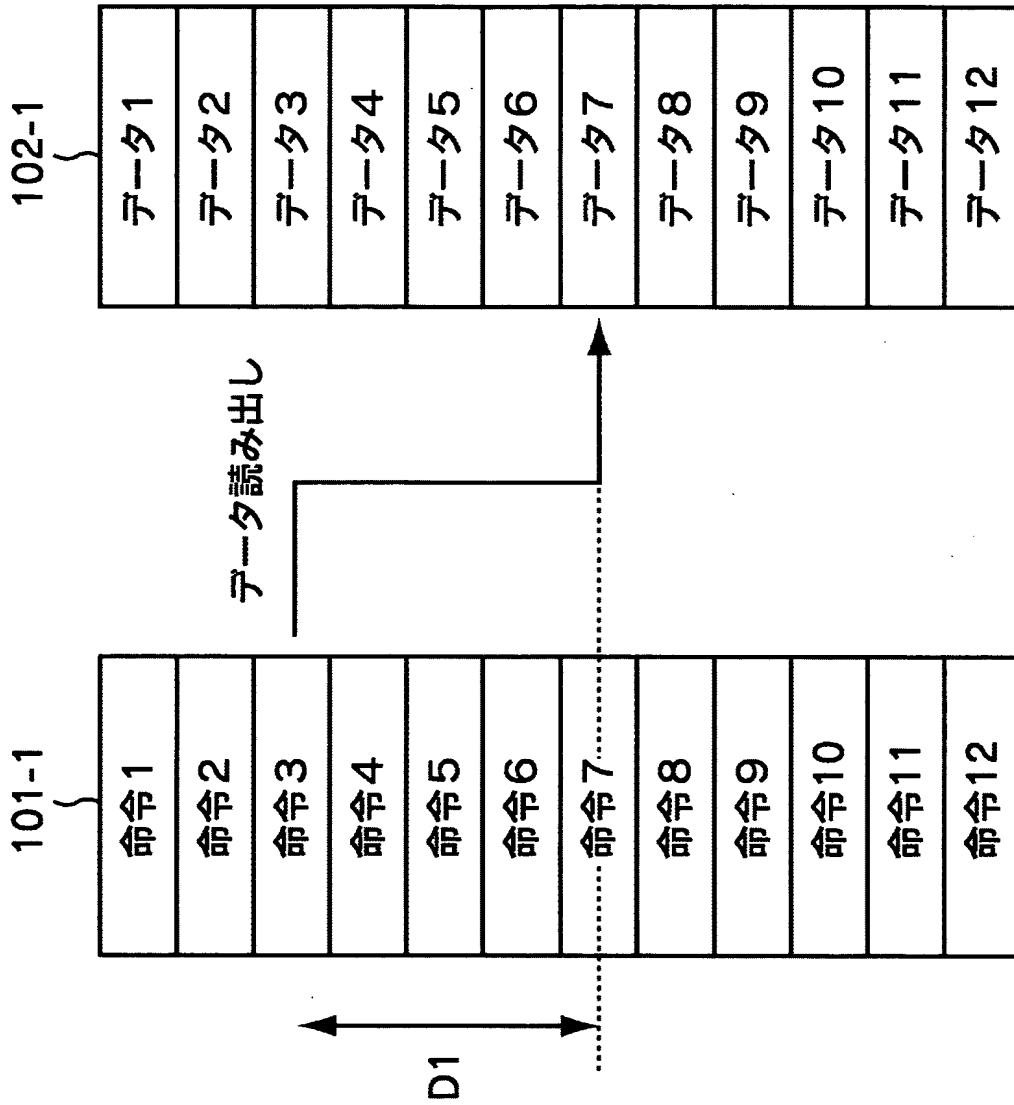
【図 7】

図 7



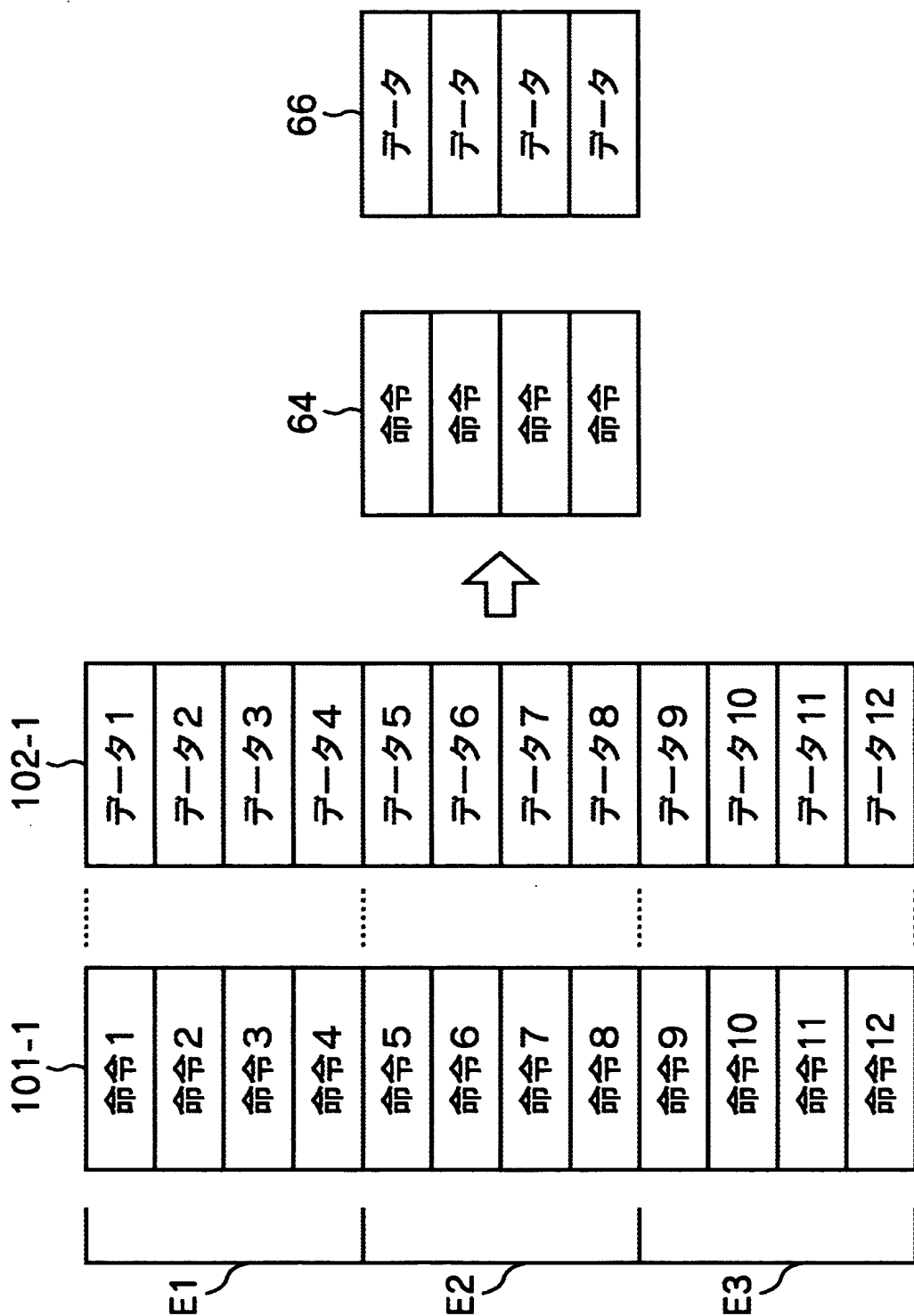
【図 8】

図 8



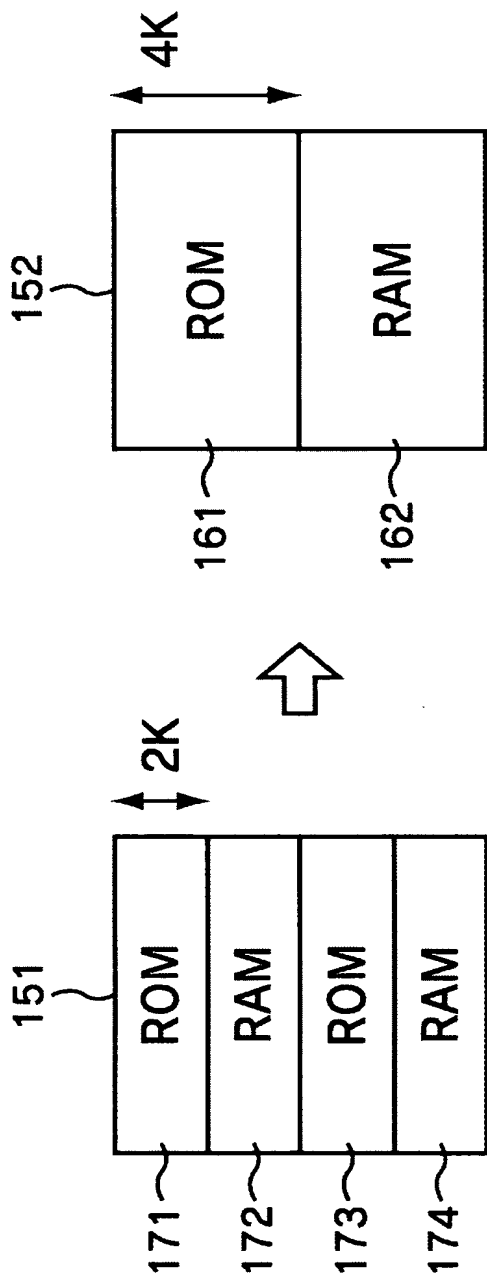
【図 9】

図 9



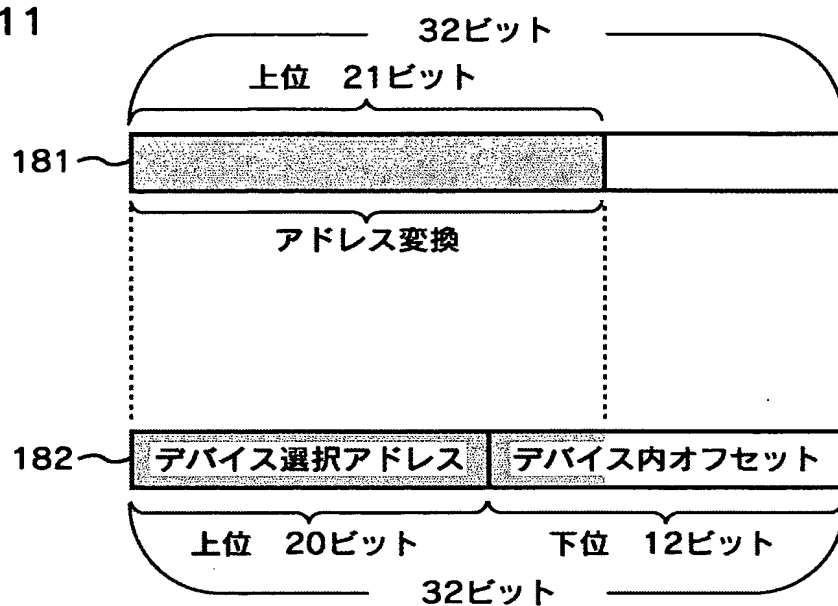
【図 10】

図 10



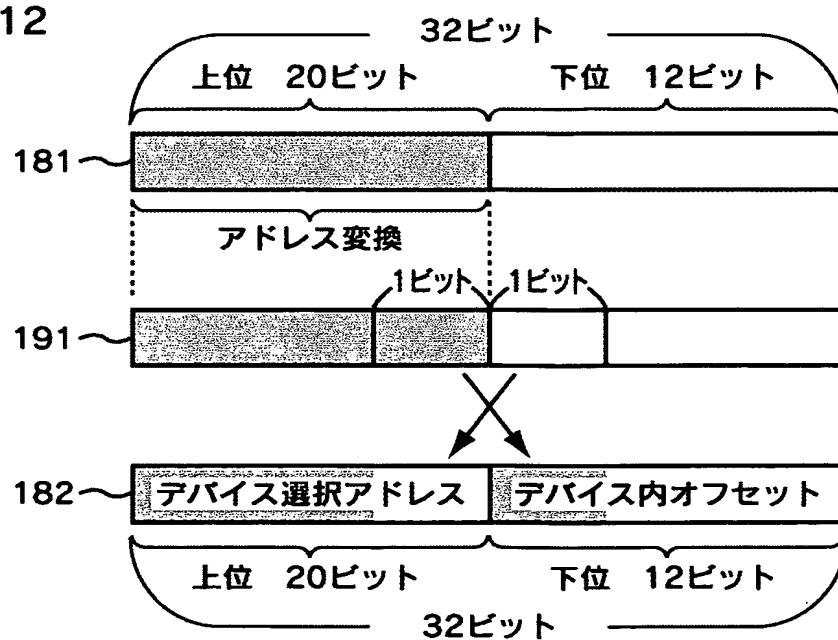
【図 11】

図 11



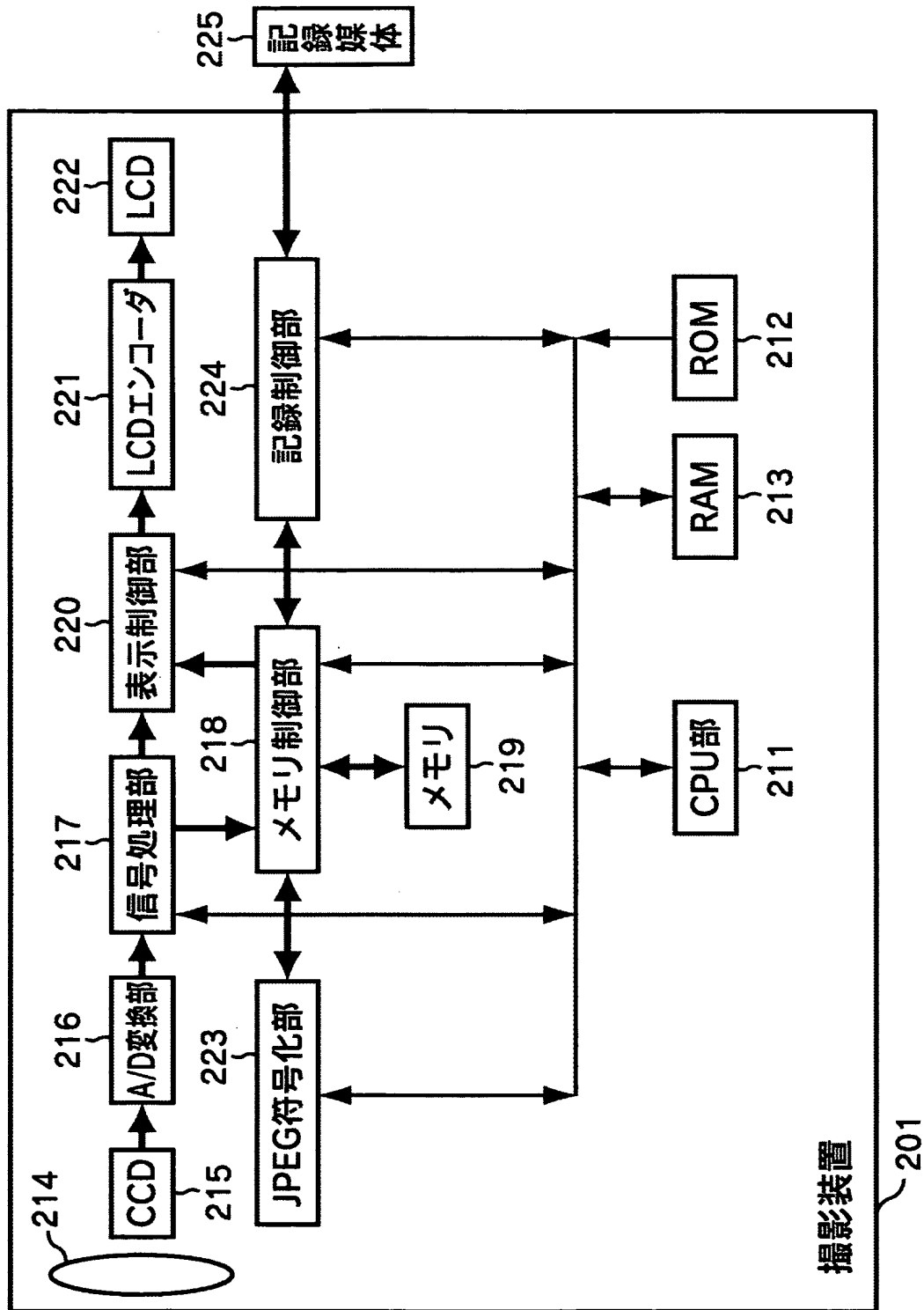
【図 12】

図 12

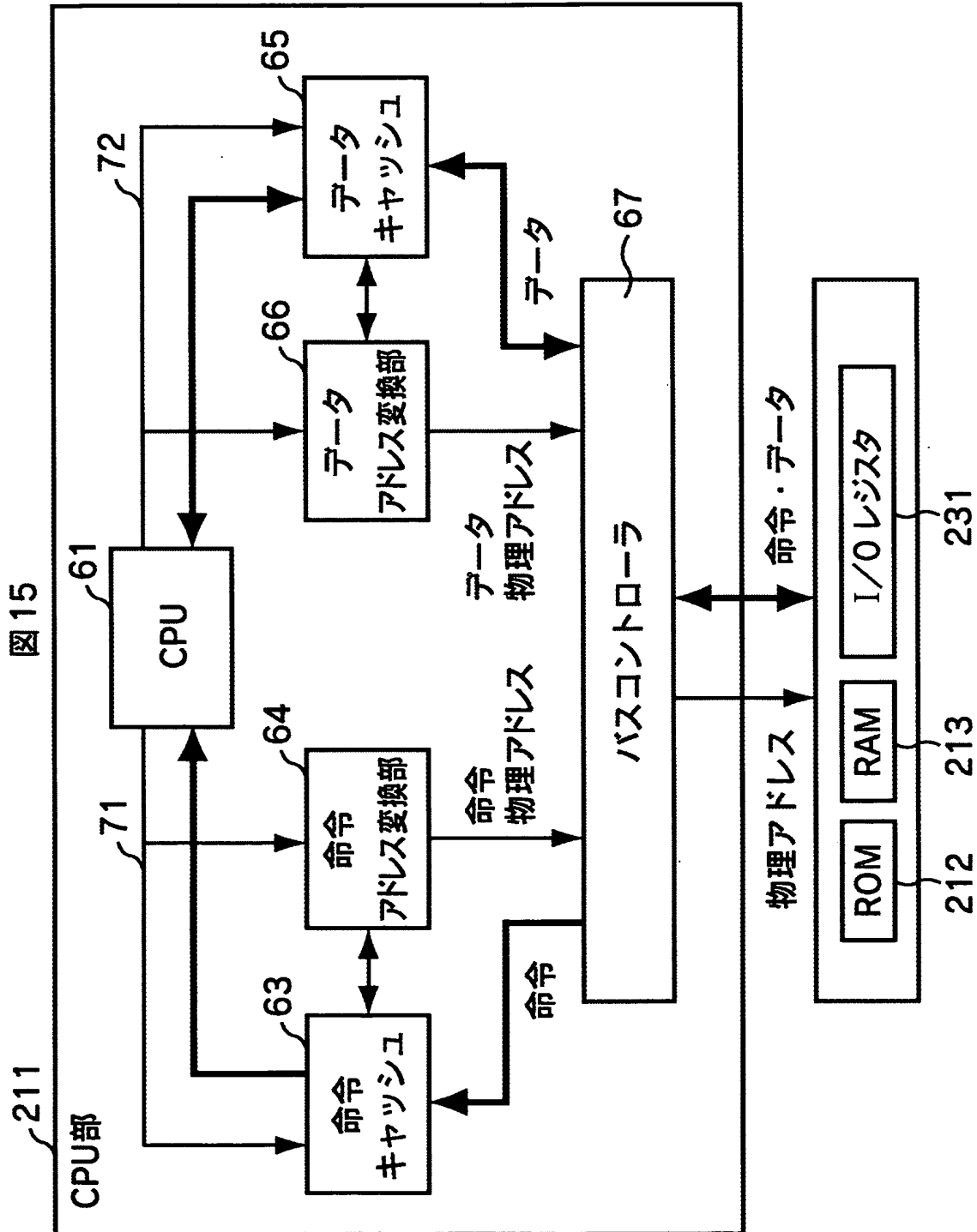


【図 14】

図 14

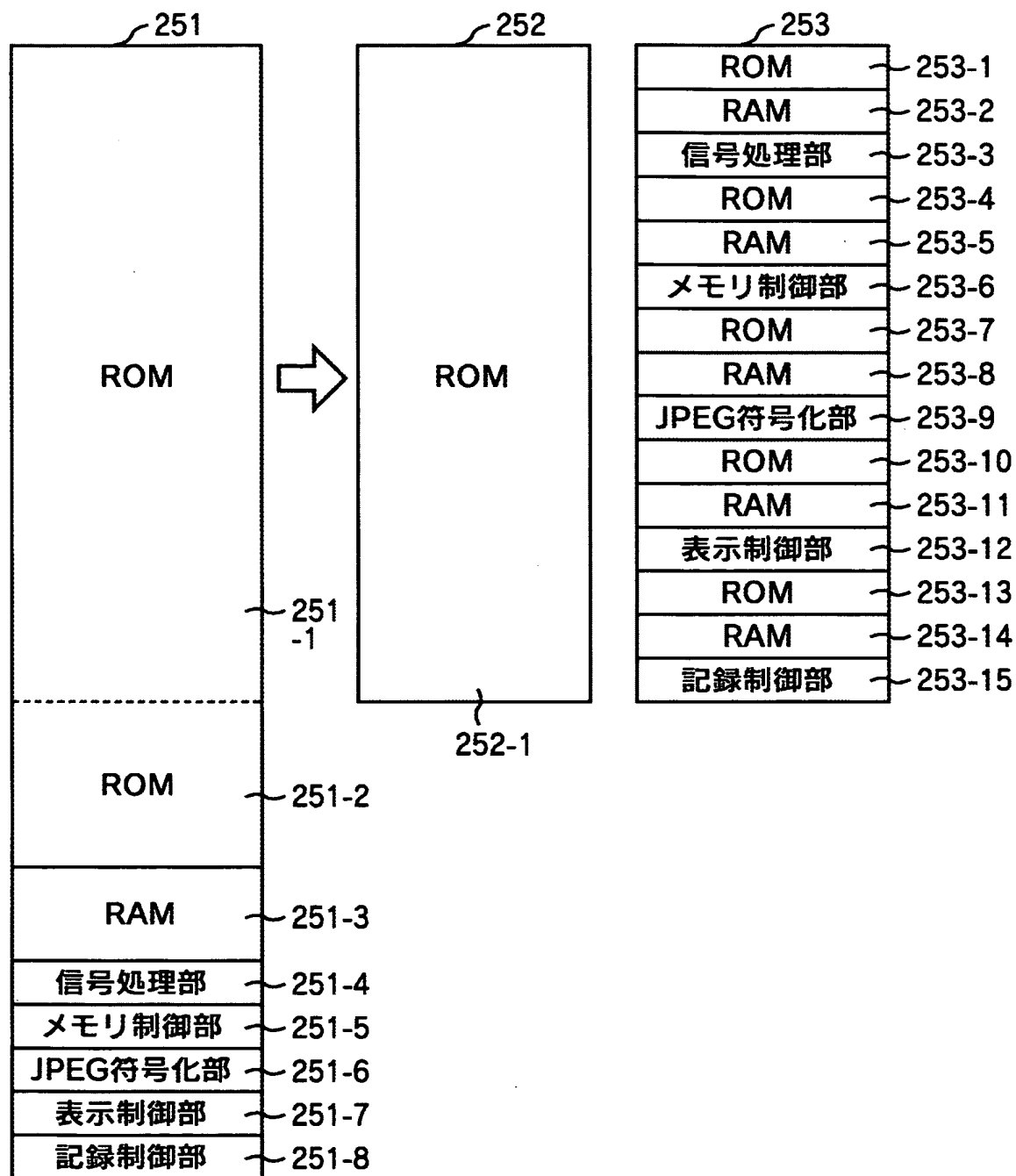


【図 15】

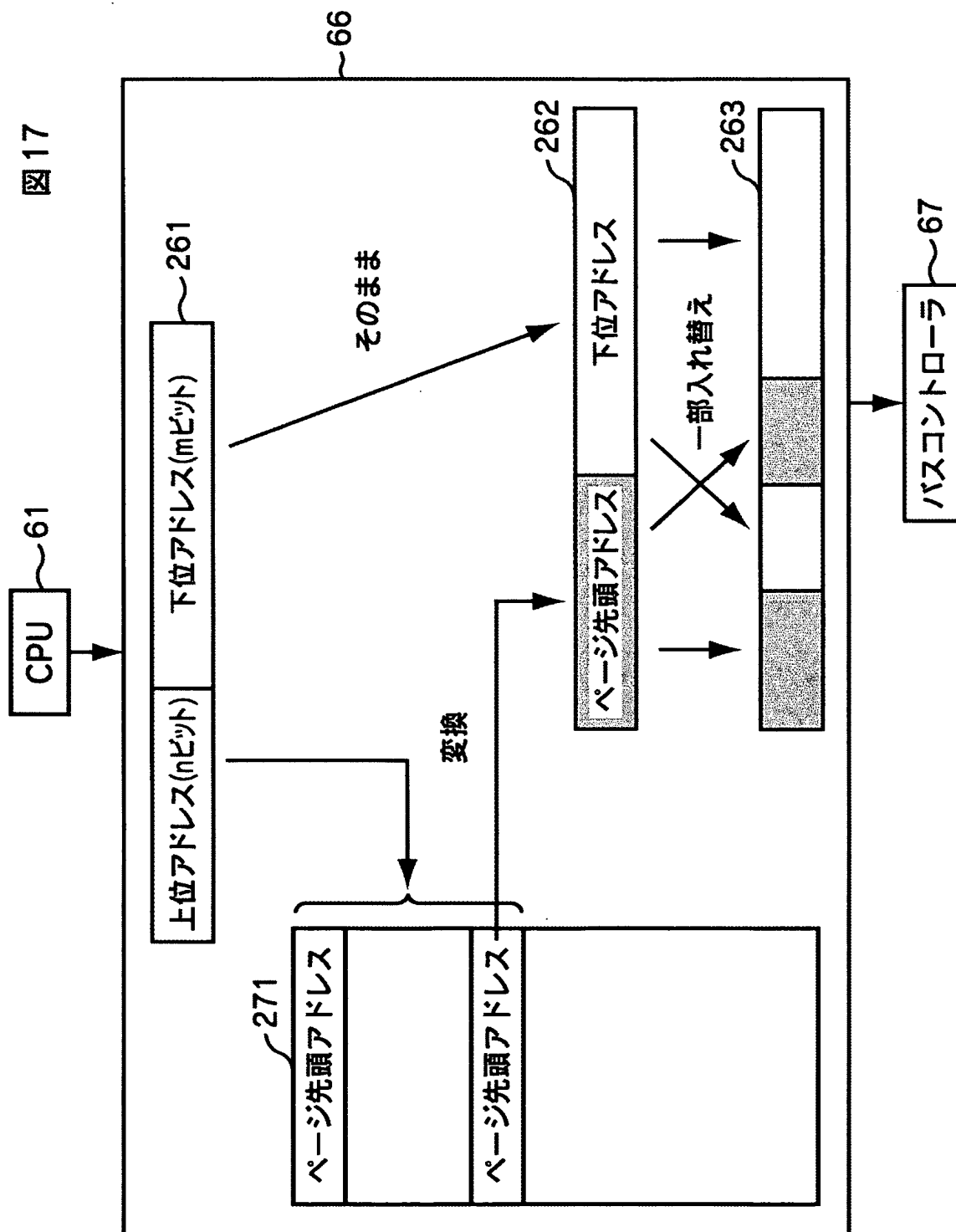


【図 16】

図 16

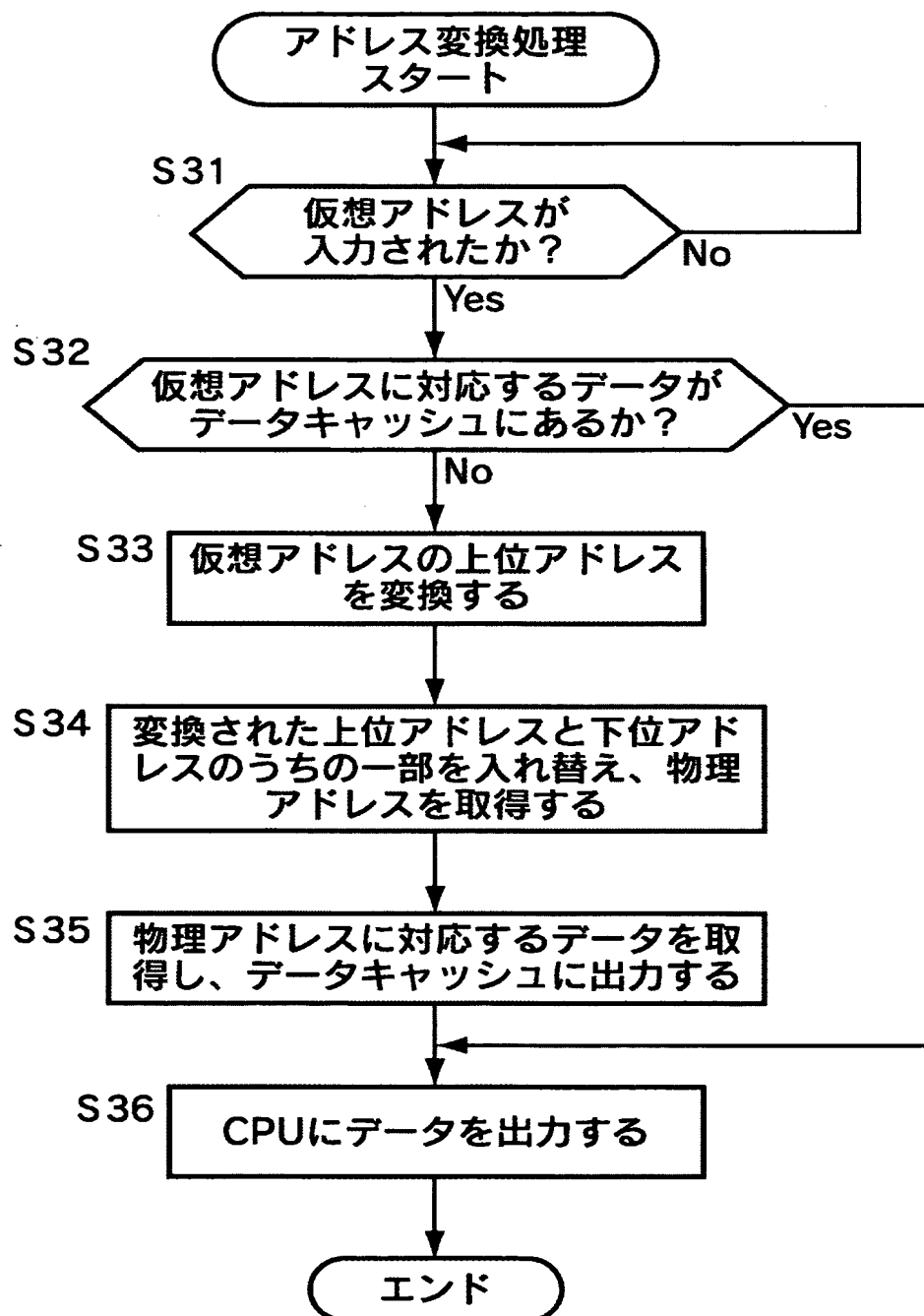


【図 17】

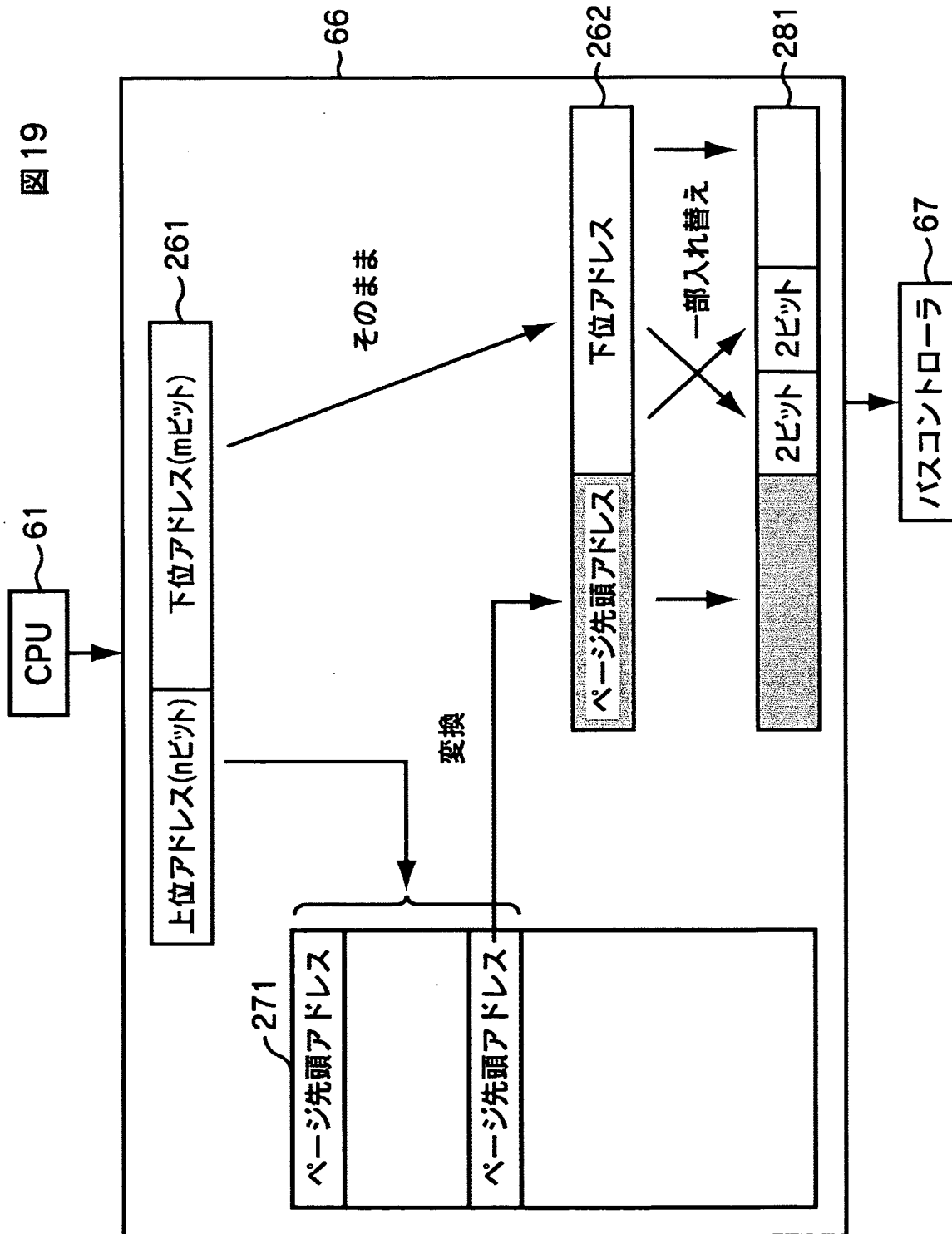


【図 18】

図 18

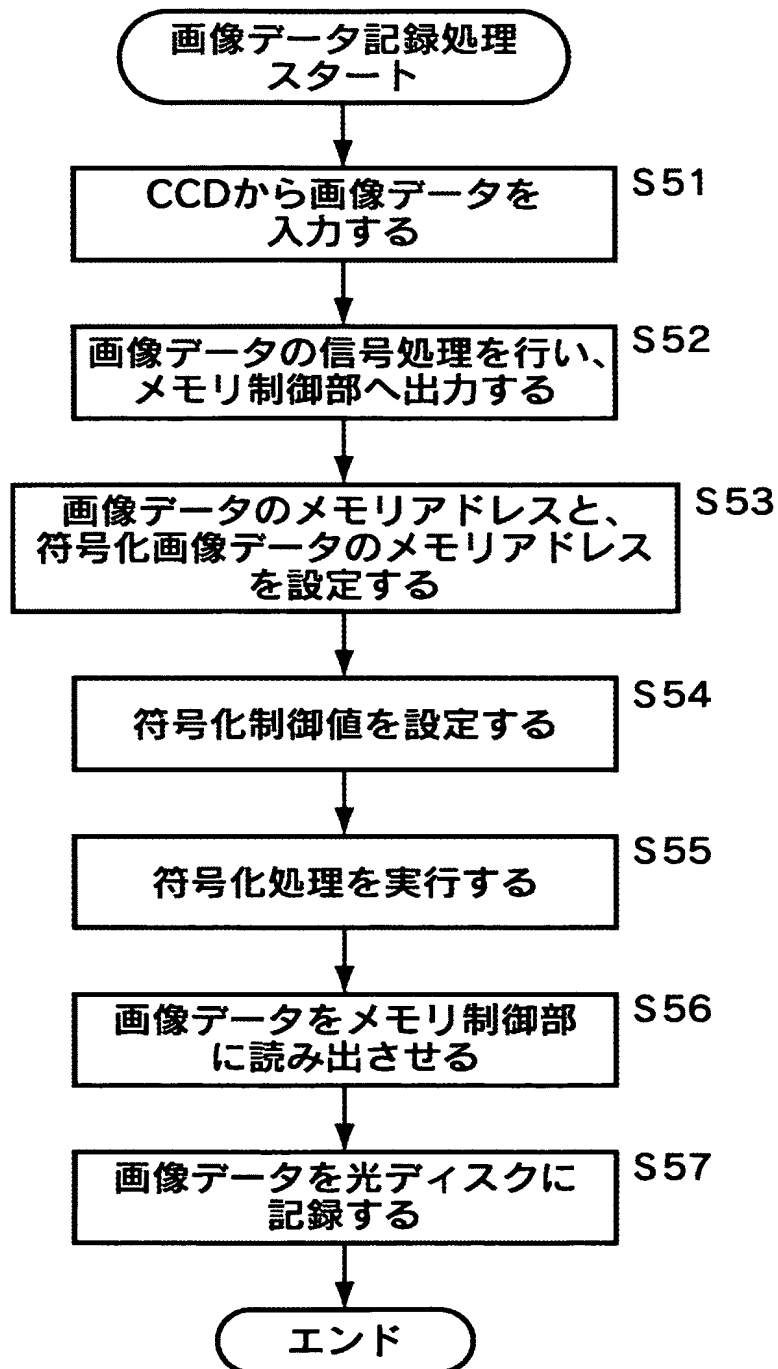


【図 19】



【図 20】

図 20



【図 21】

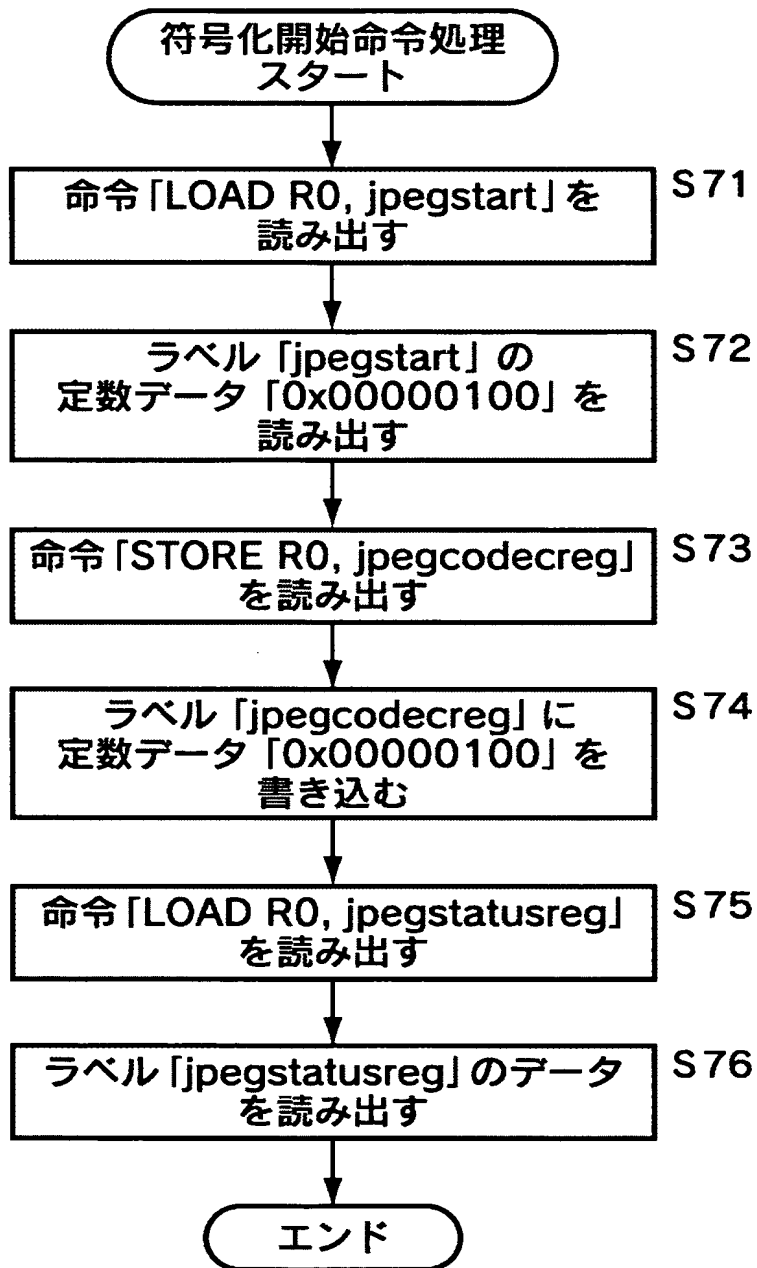
図 21

命令仮想アドレス空間		
ラベル	命令	動作内容
	LOAD R0, jpegstart	JPEG起動レジスタへ書き込む定数 0x00000100 を読み出す
	STORE R0, jpegcodecreg	JPEG起動レジスタ jpegcodecreg へ定数 0x00000100 を書き込む
	LOAD R0, jpegstatusreg	JPEG状態レジスタ jpegstatusreg を読み出す (終了確認)

データ仮想アドレス空間		
ラベル	データ	内容
jpegstart	0x00000100	JPEG起動レジスタへ書き込む
jpegcodecreg	JPEG 符号化部が出力する値	JPEG起動レジスタ
jpegstatusreg	JPEG 符号化部が出力する値	JPEG状態レジスタ

【図 22】

図 22



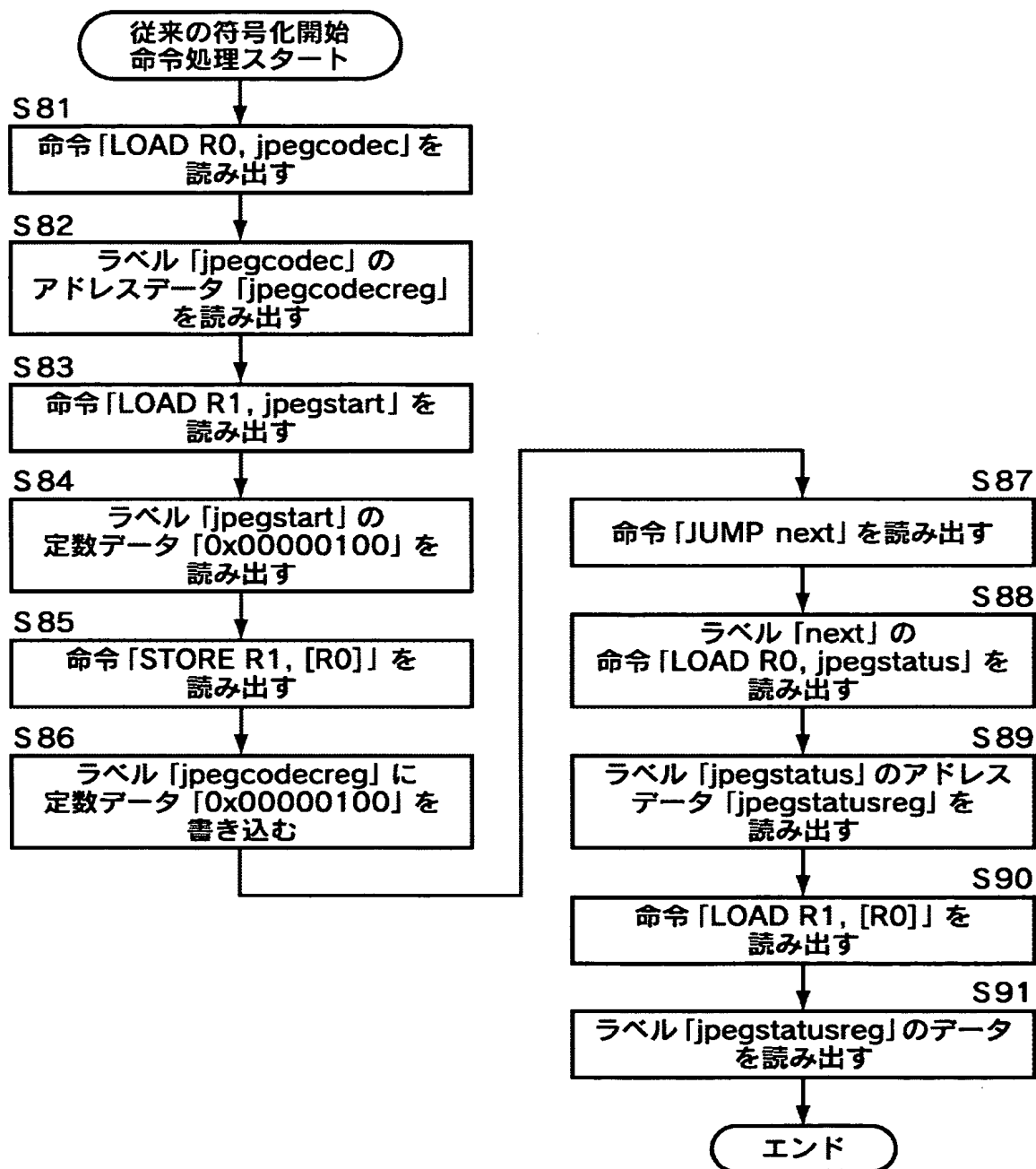
【図 23】

図 23

仮想アドレス空間		
ラベル	命令またはデータ	動作内容
jpegdec jpegstart jpegstatus next	LOAD R0, jpegdec	JPEG起動レジスタのアドレスデータ jpegdec を読み出す
	LOAD R1, jpegstart	JPEG起動レジスタへ書き込む定数 0x00000100 を読み出す
	STORE R1, [R0]	JPEG起動レジスタ jpegdec へ定数 0x00000100 を書き込む
	JMP next	next のアドレス [LOAD R0, jpegstatus] へ無条件分岐
	jpegdec	JPEG起動レジスタアドレスデータ
	0x00000100	JPEG起動レジスタへ書き込むデータ
	jpegstatus	JPEG状態レジスタのアドレスデータ
jpegdec jpegstatus	LOAD R0, jpegstatus	JPEG状態レジスタのアドレスデータ jpegstatus を読み出す
	LOAD R1, [R0]	JPEG状態レジスタ jpegstatus を読み出す (終了確認)
jpegdec	JPEG 符号化部が出力する値	JPEG起動レジスタ
jpegstatus	JPEG 符号化部が出力する値	JPEG状態レジスタ

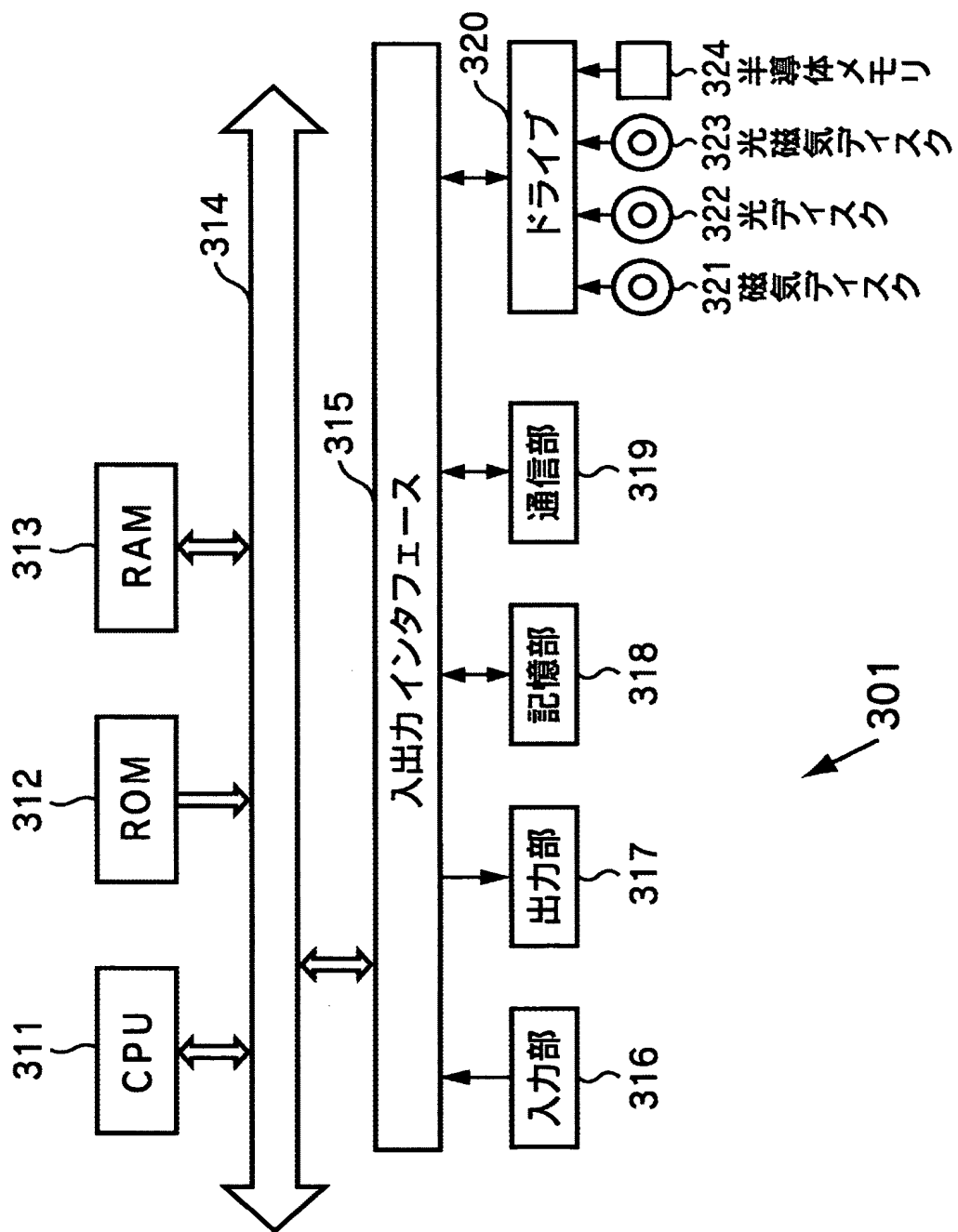
【図 24】

図 24



【図 25】

図 25



【書類名】 要約書

【要約】

【課題】 データアクセスの効率を向上させ、命令実行速度の向上を図ることができるようにする。

【解決手段】 命令仮想アドレス空間 101 は、物理アドレス空間 103 において、命令のみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。データ仮想アドレス空間 102 は、物理アドレス空間 103 において、データのみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。命令仮想アドレス空間 101 とデータ仮想アドレス空間 102 は、相互に重複した仮想アドレスを使用している。命令アドレス変換部は、命令仮想アドレス空間 101 の仮想アドレスを、データアドレス変換部は、データ仮想アドレス空間 102 の仮想アドレスを、単一の物理アドレス空間 103 の物理アドレスに変換する。本発明は、被写体を撮像する撮像装置に適用することができる。

【選択図】 図 7

特願 2 0 0 3 - 1 0 7 3 5 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社